

# RICEVITORE DIGITALE PER HF

SANDRO TOGNANA, IW3GZQ

Via A.Guidi n°1, 35125 Padova

**sandro\_tognana@libero.it** oppure **micro-lab@iol.it**

## 1. INTRODUZIONE

La progettazione di un ricevitore completamente digitale era un'idea che avevo da tempo, anche se non mi ero mai spinto a tentarne la realizzazione pratica, intravedendo difficoltà enormi. Oggi, la disponibilità di componentistica dedicata e la maggior esperienza nel campo dei processori DSP, hanno permesso, con un discreto impegno di tempo, la realizzazione di un primo prototipo di ricevitore digitale. Dal momento che tutte, o quasi, le funzioni del ricevitore dipendono dal software, si può intuire quale possa essere la sua flessibilità, che permette la sperimentazione di moltissime combinazioni di banda passante e/o schema di demodulazione. Le difficoltà di costruzione sono limitate alla saldatura dei componenti SMD, non essendo richiesta nessuna taratura o allineamento degli stadi di IF, che sono realizzati in modo digitale con la tecnica della decimazione.

Questo ricevitore si presta in modo particolare ad essere utilizzato come porzione finale (frequenza intermedia e demodulatore) di un ricevitore supereterodina, preceduto da stadi preselettori e mixer tradizionali. La banda passante particolarmente elevata del convertitore analogico digitale utilizzato, permetterebbe l'impiego di una frequenza di prima conversione molto alta, ad esempio di 70 MHz, utilizzando il metodo del sottocampionamento (ricevitore "super Nyquist").

Pur essendo queste tecniche molto diffuse in ambito professionale, nel campo radioamatoriale gli esempi di realizzazioni di questo tipo si contano sulla punta delle dita: questo ricevitore può costituire un ottimo punto di partenza per la sperimentazione e l'acquisizione di nuove esperienze.

## 2. SCHEMA A BLOCCHI

Lo schema a blocchi del ricevitore digitale e' riportato in figura 1. Il segnale proveniente dall'antenna viene limitato alla banda 0...20 MHz per mezzo di un filtro passa basso, amplificato per mezzo di uno stadio a larga banda, ulteriormente filtrato ed inviato ad un convertitore analogico digitale.

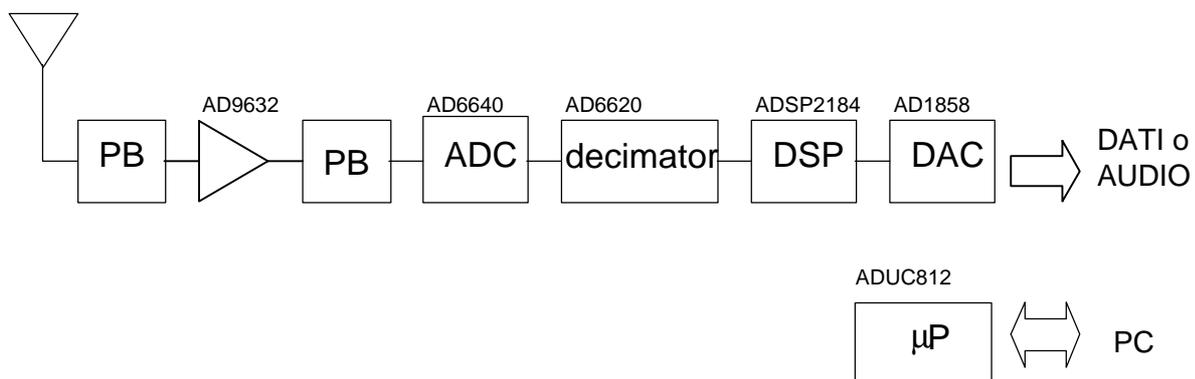


Figura 1. Schema a blocchi del ricevitore digitale.

Il segnale numerico così ottenuto viene elaborato da un chip decimatore che provvede ad effettuare, in forma numerica, la traslazione di frequenza e la selezione del canale richiesto tramite tre stadi in cascata di filtri numerici decimatori.

I dati relativi alla porzione di spettro desiderata vengono inviati ad un processore DSP, che provvede a demodulare, filtrare ed effettuare altre elaborazioni sul segnale: solo a questo punto, infine, i campioni numerici vengono inviati ad un convertitore digitale analogico e quindi all'altoparlante.

### 3. STADIO D'INGRESSO

#### 3.1 FILTRO ANTIALIAS

La banda d'ingresso del ricevitore deve essere limitata utilizzando un filtro passa basso che assicuri una sufficiente attenuazione per frequenze superiori alla frequenza di Nyquist (pari a metà della frequenza di campionamento) per evitare che queste ultime compaiano in banda per aliasing. La frequenza di campionamento è pari a 50 MHz e la frequenza di taglio del filtro d'ingresso è stata limitata a soli 20 MHz, anziché 25 MHz, assicurando, in questo modo, un margine di sicurezza maggiore sull'aliasing.

Il filtro, progettato e realizzato da IV3NWV (Nicolangelo Palermo) e IW3MUR (Cesare) è stato realizzato con componenti SMD su circuito stampato doppia faccia con spessore 0.8 mm, di dimensioni 30 x 12 mm. In figura 2 si possono vedere le caratteristiche del filtro, mentre in appendice A sono riportati lo schema elettrico e lo sbroglio del circuito stampato.

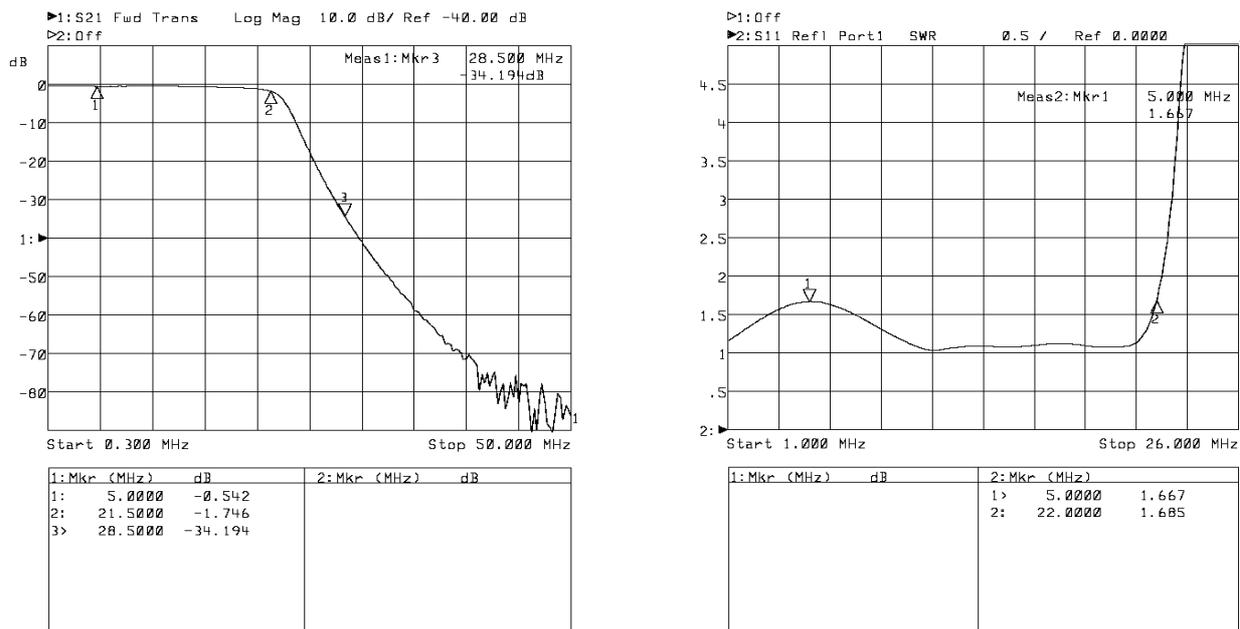


Figura 2. Caratteristiche del filtro d'ingresso (antialias) progettato e realizzato da IV3NWV e da IW3MUR.

### 3.2 PREAMPLIFICATORE D'INGRESSO

La scelta del preamplificatore da utilizzare in questo tipo di applicazione (larga banda ed elevata dinamica) è critica: le caratteristiche del circuito devono essere tali da non pregiudicare in nessun modo le prestazioni del convertitore A/D che segue.

La scelta è caduta sull'AD9632, componente appositamente progettato per svolgere la funzione di amplificatore pilota per convertitori A/D ad alta velocità.

Le caratteristiche salienti del componente sono [2]:

- larghezza di banda (4 Vpp): 180 MHz
- bassissima distorsione (SFDR): -113 dBc a 1 MHz  
-72 dBc a 20 MHz
- basso rumore: 7 nV/√Hz
- alimentazione: da  $\pm 3$  V a  $\pm 5$  V
- assorbimento: 17 mA

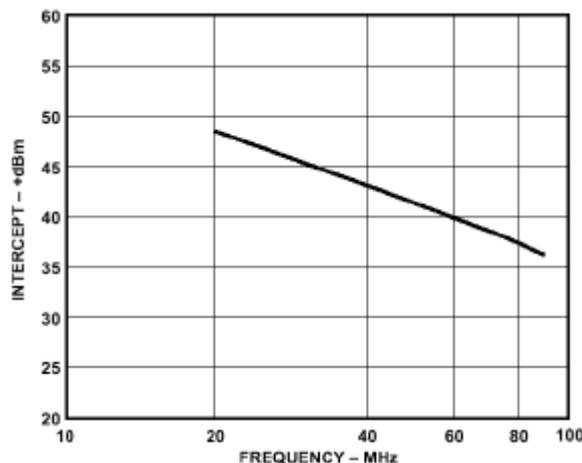
Lo schema elettrico, riportato in appendice B insieme allo sbroglio del circuito stampato, è molto semplice: si tratta, infatti, di uno stadio in configurazione invertente, con amplificazione pari a 10 volte (+20 dB in tensione).

L'amplificatore è stato realizzato su un circuito stampato a doppia faccia di dimensioni ridotte (30 x 40 mm) ed inscatolato in un box di alluminio (75 x 52 mm) dotato di connettori BNC per l'ingresso e l'uscita del segnale (vedi foto 3).

Tutti i componenti (tranne l'AD9632) sono del tipo a montaggio superficiale, ed, anche in questo caso, un intero lato del circuito stampato è dedicato esclusivamente al piano di massa; nello stesso contenitore trova posto anche il filtro passa basso d'ingresso.

Questo stadio richiede per l'alimentazione una tensione duale di  $\pm 5$  V.

In figura 3 è riportato l'andamento della IP3 nel caso di guadagno unitario che, come si può vedere, sono ottime e raggiungibili con maggior difficoltà nel caso si ricorresse ad una soluzione a componenti discreti.



**Figura 3. Preamplificatore: andamento dell'intercetta del terzo ordine (IP3) in funzione della frequenza ( G = +1 ). Sotto i 20 MHz supera i +45 dBm !**

## 4. SCHEDA "RF" (Digital Tuner)

La scheda chiamata "RF" comprende i seguenti componenti: convertitore A/D, decimatore e microcontrollore.

### 4.1. CONVERTITORE A/D

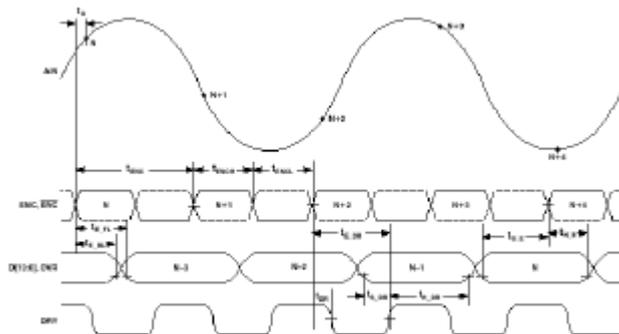
La scelta del convertitore analogico digitale (ADC) è determinante ai fini delle prestazioni del ricevitore digitale: da questo componente dipendono la cifra di rumore, la dinamica e la banda di copertura del ricevitore.

Sul mercato si possono trovare ADC con prestazioni di tutto rispetto, funzionanti con frequenze di clock maggiori di 100 MHz e quantizzazione fino a 14 bit, rendendo possibile la realizzazione di un ricevitore con copertura continua da 0 a 20-30 MHz senza bisogno di conversioni di frequenza (ricevitore a conversione diretta).

Al momento in cui ho iniziato la progettazione di questo ricevitore (Novembre 1999), le prestazioni massime dell'ADC che potevo acquistare ad un prezzo ragionevole erano limitate ad una frequenza di clock di 65 MHz ed una precisione di 12 bit: la scelta è caduta sull' AD6640 (Analog Devices) [1].

La frequenza di clock utilizzata per realizzare il prototipo del ricevitore digitale è stata limitata a soli 50 MHz, per diversi motivi:

- mancanza di esperienza nell'impiego di ADC veloci.
- maggiore semplicità di realizzazione del circuito stampato<sup>1</sup>.
- minor dissipazione di potenza.
- minor livello di rumore digitale causato dai picchi di assorbimento di corrente durante le commutazioni dei dati in uscita dal convertitore.



**Figura 4. Relazione temporale tra segnale di clock e dati in uscita: il segnale DRY non è disponibile sul convertitore AD6640 e deve essere costruito ritardando il segnale di ENCODE.**

Un primo problema incontrato è costituito dal fatto che il convertitore prescelto non mette a disposizione un segnale di fine conversione<sup>2</sup>: spetta all'utilizzatore generare un ritardo sul segnale di ENCODE di quel tanto che basta per sincronizzare la lettura dei dati in uscita.

<sup>1</sup> Per semplificare lo stampato ho deciso di utilizzare un oscillatore TTL integrato: all'epoca, l'oscillatore a frequenza più elevata che sono riuscito a reperire era, per l'appunto, a 50 MHz.

<sup>2</sup> I convertitori dell'ultima generazione (AD6644, 14 bit, 65 MSPS), non solo hanno un segnale di fine conversione, ma anche un segnale di overflow, utile per la realizzazione di un algoritmo di AGC efficiente.

Il ritardo sul clock viene ottenuto con una porta AND della famiglia LVQ (74LVQ00), che possiede un ritardo di propagazione di circa  $9 \text{ ns}^3$ , che sommati al ritardo introdotto dalla cella RC utilizzata per il disaccoppiamento dell'oscillatore (vedi C23 e R18+R19 di appendice D), danno i 15 ns richiesti (vedi figura 4). Utilizzando la massima frequenza di clock ammessa dal decimatore, pari a 65 MHz, bisognerebbe probabilmente utilizzare porte AND più veloci, con ritardi di propagazione di circa 3-3.5 ns e collegarne due o più in serie sino ad ottenere il ritardo richiesto. Le porte AND andranno, naturalmente, scelte tra quelle che ammettono il funzionamento ad una tensione di 3.3 V.

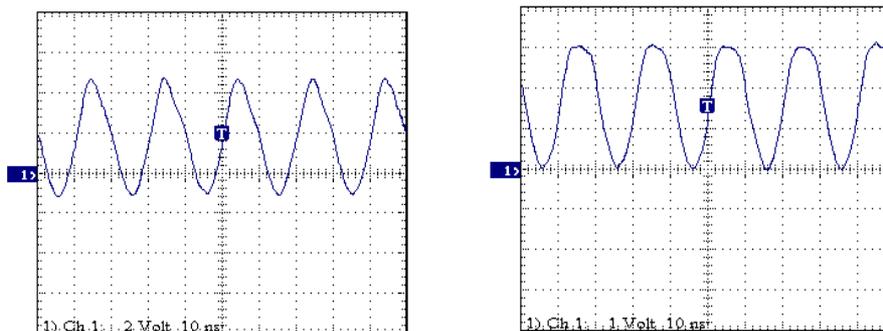
La generazione di una corretta temporizzazione è un punto assai critico del progetto e necessita sicuramente di qualche prova in più per testarne la ripetibilità. Il circuito stampato del prototipo ha subito il maggior numero di modifiche proprio in questa sezione. Nei data-sheet del convertitore AD è consigliata l'interposizione di uno stadio latch tra il convertitore stesso ed il decimatore, dato il ridottissimo fan-out dello stadio di uscita.

Questa soluzione è stata scartata per l'eccessiva complessità introdotta: lo sbroglio del circuito stampato è, infatti, un punto che deve essere valutato con estrema attenzione. L'ideale sarebbe poter ricorrere a CS multistrato, riservando un piano per le masse, un piano per le due alimentazioni ed uno o due piani per le piste di segnale, ma, per ovvi motivi, la realizzazione di CS "casalinghi" obbliga alla classica "doppia faccia".

La regola alla quale è stata data la massima priorità durante lo sbroglio del CS è stata utilizzare un lato per i segnali e riservare l'altro lato esclusivamente per il piano di massa, come suggerito in [8], mantenendo lo sbroglio il più possibile complanare.

Come si può osservare dallo schema elettrico in appendice C, in serie a ciascuna uscita digitale sono state inserite delle resistenze da 330 ohm. Queste resistenze hanno il duplice scopo di:

- adattare l'impedenza d'uscita del convertitore all'impedenza caratteristica delle piste del CS, limitando le sovraelongazioni (oscillazioni) in corrispondenza dei fronti di salita e discesa dei segnali (vedi figure 5 e 7)
- limitare il picco di corrente richiesto per la commutazione delle capacità parassite e, di conseguenza, ridurre il rumore sulla linea di alimentazione<sup>4</sup>.



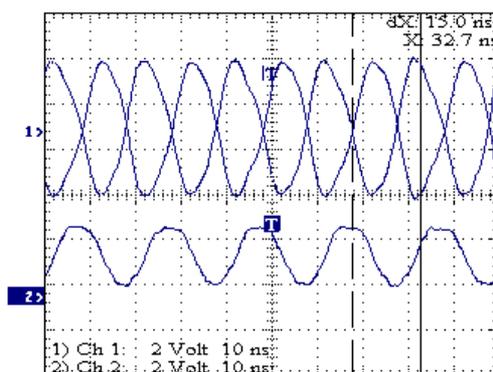
**Figura 5. Clock a 50 MHz; a) all'uscita dall'oscillatore e b) all'ingresso dell'AD6620, dopo la resistenza da 330 ohm di adattamento dell'impedenza: i livelli logici sono stati perfettamente ripristinati.**

<sup>3</sup> Il tempo tra il fronte di salita di ENCODE ed i dati validi in uscita va da 8.5 a 12.5 ns. I dati in uscita vengono mantenuti validi per altri 8 ns. Il ritardo su ENCODE può quindi variare tra 12.5 ns e 20.5 ns.

<sup>4</sup> Per avere un'idea dell'entità del problema, si supponga che ciascuna uscita del ADC (gate CMOS), insieme alla pista del CS abbia una capacità parassita di circa 10 pF; essendo lo slew rate dell'uscita pari ad 1V/ns, si calcola facilmente che, ogni volta che l'uscita cambia stato, è necessaria una corrente di 10 mA ( $10 \text{ pF} \times 1 \text{ V} / 1 \text{ ns}$ ) per la commutazione della capacità parassita di una uscita. Con un convertitore a 12 bit, la corrente totale ad ogni commutazione è pari a circa 120 mA!

Il convertitore AD6640 possiede un piedino riservato all'alimentazione dello stadio d'uscita digitale: in questo modo è possibile interfacciare direttamente il convertitore, che funziona a 5 V, con il decimatore, che funziona a 3.3V, semplicemente alimentando lo stadio d'uscita del convertitore con la tensione minore.

Un ulteriore vantaggio offerto dalla alimentazione separata dello stadio d'uscita deriva dal fatto che le correnti di commutazione delle uscite rimangono confinate tra il pin di alimentazione dei buffer d'uscita e massa: filtrando opportunamente l'alimentazione e sbrogliando con cura il circuito stampato, si evita l'accoppiamento del rumore digitale con l'ingresso analogico del convertitore ([1] e [8]).



**Figura 6. Ritardo tra il segnale di ENCODE ed il fronte di salita del clock dell'AD6620 (decimatore).  $dX = 15 \text{ ns}$**

Gli ingressi di segnale e di clock dell'ADC sono entrambi di tipo differenziale, per migliorare le prestazioni nei confronti del rumore di modo comune. Sia per il clock che per il segnale d'ingresso è stato utilizzato un trasformatore a larga banda realizzato avvolgendo due spire trifilari su un binoculare di ferrite.

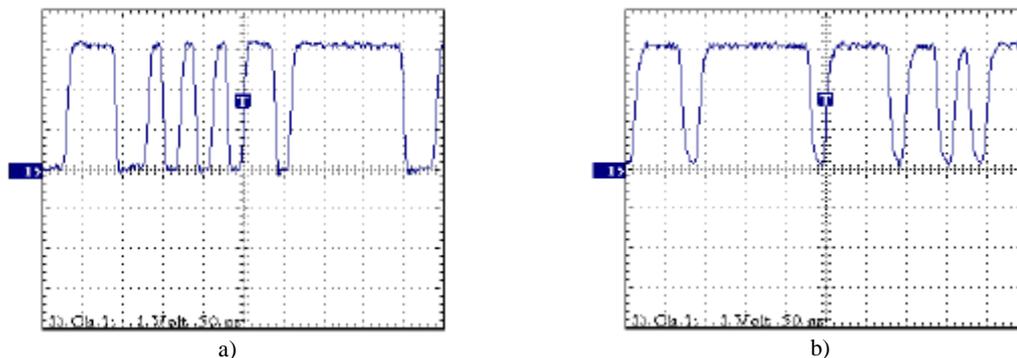
Le caratteristiche del convertitore A/D (AD6640) possono essere così riassunte:

- alimentazione: +5 V (core) e +3.3 V (stadio d'uscita)
- dissipazione: 710 mW
- massima frequenza di campionamento: 65 MSPS
- uscita: parallela a 12 bit in complemento 2
- track-and-hold e reference: incluse nel chip
- rapporto segnale rumore: 68 dB
- spurious free dynamic range (SFDR): 80 dB (su 25 MHz di banda)
- impedenza d'ingresso: 900÷1000 ohm
- larghezza di banda dell'ingresso: 300 MHz
- massima ampiezza del segnale d'ingresso (fondo scala): 2 Vpp

Come si può notare, la banda passante dell'ingresso arriva a 300 MHz, rendendo possibile l'impiego di questo convertitore anche a frequenze superiori alla frequenza di Nyquist (metà della frequenza di campionamento) sfruttando il fenomeno dell'aliasing. Naturalmente, all'aumentare del rapporto di sottocampionamento, diviene sempre più importante il jitter sul segnale di clock, tanto che, già a 70-100 MHz, le prestazioni dal punto di vista dello SFDR e del rumore iniziano a scendere (vedi [1]), ed è necessario utilizzare un oscillatore appositamente progettato per avere jitter particolarmente basso.

Nel caso di questa realizzazione, il clock viene generato da un oscillatore integrato alla frequenza di 50 MHz. Il segnale ottenuto, a livello logico TTL, viene disaccoppiato in AC e limitato per mezzo di una resistenza da 100 ohm, quindi applicato al primario di un trasformatore a larga banda che provvede a trasformarlo in segnale differenziale per pilotare il convertitore A/D. Lo stesso segnale TTL viene contemporaneamente applicato ad una porta AND (un 74LVQ00 alimentato a 3.3 V) per essere traslato ad un livello compatibile con gli stadi successivi e per essere ritardato. (dalle misure sul prototipo, come si vede in figura 6, il ritardo complessivo e' di 15 ns).

Come già detto sopra, anche il segnale d'ingresso, proveniente dal preamplificatore, è accoppiato al convertitore per mezzo di un trasformatore a larga banda, allo scopo di



**Figura 7. Segnale relativo al bit 0 ( LSB ) a) come esce dal convertitore e b) dopo l'adattamento di impedenza e limitazione della corrente (misure non contemporanee).**

adattare l'impedenza e trasformare il segnale in differenziale.

L'impedenza d'ingresso del convertitore è di circa  $900 \div 1000$  ohm e per portarla a 50 ohm sarebbe necessario un trasformatore con rapporto di 20:1 (rapporto spire = 4.47:1). Come suggerito dai data-sheet, si preferisce però utilizzare un trasformatore con rapporto più basso (4:1, rapporto spire = 2:1) e forzare l'impedenza d'ingresso del convertitore ad un valore inferiore (200 ohm) con una resistenza in parallelo al secondario.

Il fondoscala del convertitore si raggiunge con una tensione di 2 Vpp, che su 200 ohm corrispondono a + 4dBm: al primario del trasformatore, sui 50 ohm, + 4 dBm corrispondono a 1 Vpp. Se consideriamo che il preamplificatore introduce + 20 dB di guadagno, ed i due filtri antialias al massimo introducono 1.7 dB ciascuno di attenuazione (a 21 MHz, cfr. marker n. 2 di Figura 2), si calcola che è necessario un segnale pari a  $+4 - 20 + 1.7 + 1.7 = -12.6$  dBm su 50 ohm (148 mVpp) per portare a fondoscala il convertitore. In presenza di una antenna trasmittente nelle immediate vicinanze è possibile saturare il convertitore: disporre di un segnale di overflow permetterebbe di disinserire automaticamente il preamplificatore o introdurre un attenuatore, cosa che, in questo ricevitore deve essere fatta manualmente.

## 4.2. DECIMATORE

E' il componente più importante di tutto il sistema: ad esso il compito di effettuare la conversione di frequenza per mezzo di un oscillatore numerico e di ottenere la selettività di canale per mezzo di tre stadi successivi di filtri numerici decimatori.

Quasi tutti i maggiori costruttori di componenti elettronici, attratte dal remunerativo mercato della telefonia cellulare, hanno ormai tra i loro prodotti un integrato decimatore-canalizzatore con caratteristiche appropriate alla realizzazione di una radio digitale; tra

queste, le più note sono HARRIS (HSP50016, HSP50216), ANALOG DEVICES (AD6620 e AD6624), NATIONAL (CLC5902) e GRAYCHIP (GC4016): il solo, tra questi, reperibile con facilità anche in piccola campionatura è l'AD6620, che quindi è stato utilizzato in questa realizzazione; in figura 8 è riportato lo schema a blocchi di questo componente: [3]

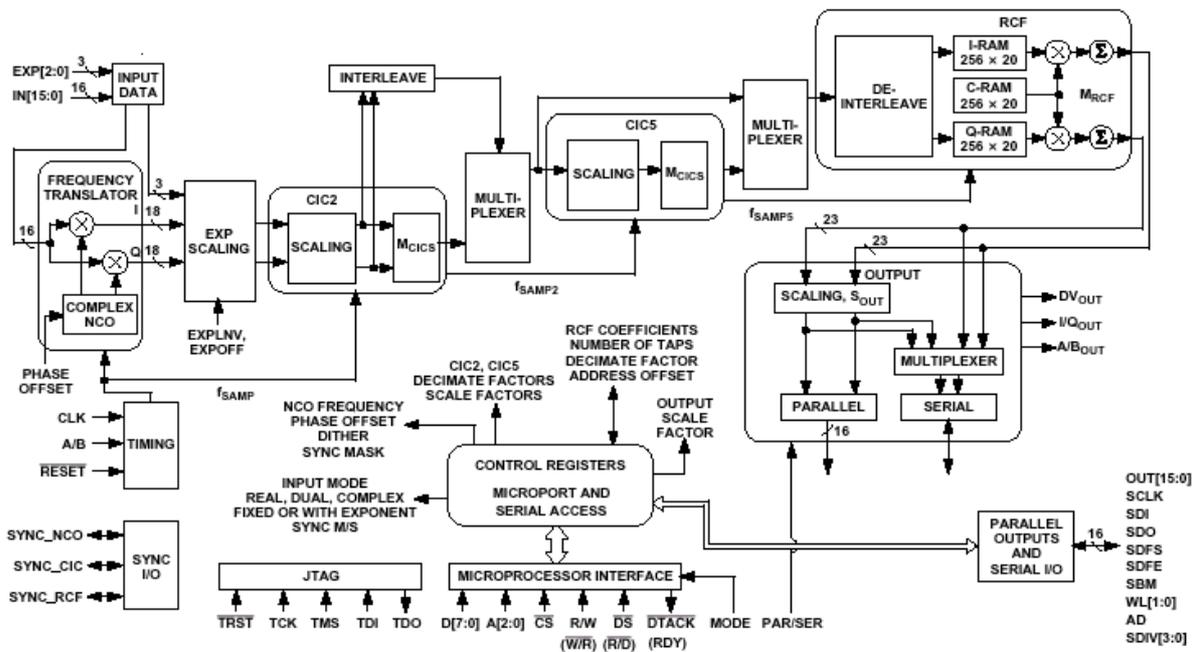


Figura 8. Schema a blocchi del tuner digitale AD6620.

Il primo stadio, composto da un moltiplicatore digitale e da un oscillatore numerico (NCO), trasla lo spettro del segnale d'ingresso in banda base, secondo il tipico schema del ricevitore in quadratura (figura 9).

I due segnali in fase ed in quadratura, indicati con I e Q, vengono poi filtrati da due filtri decimatori (denominati CIC2 e CIC5 in figura 8), a coefficienti fissi, che riducono la frequenza di campionamento di un fattore programmabile da 2 a 16 e da 1 a 32 rispettivamente.

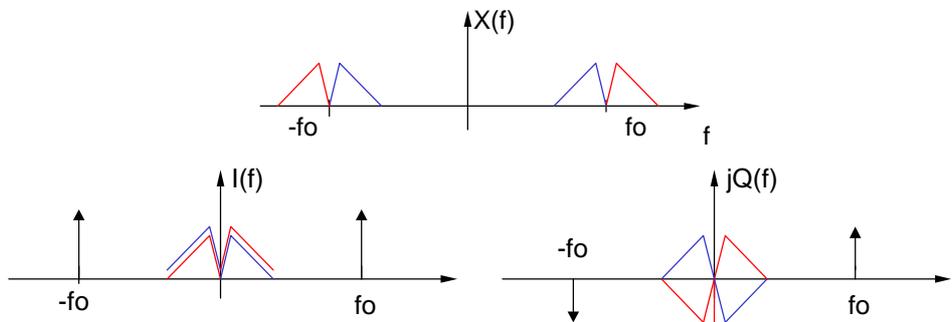
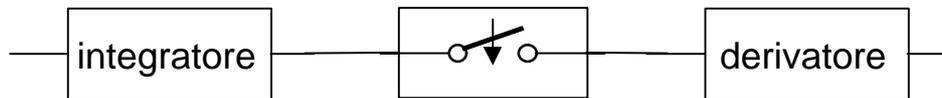


Figura 9. Traslazione di frequenza ottenuta tramite moltiplicazione per la portante complessa  $x(t) = e^{-2\pi j f_0 t}$ .

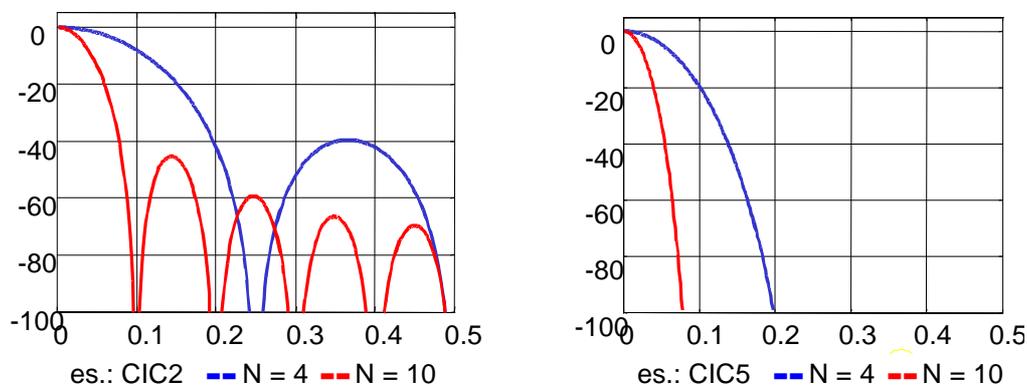
Questi due stadi devono funzionare a frequenze di clock molto elevate e sono quindi realizzati con strutture hardware molto semplici, utilizzando l'architettura CIC (Cascaded Integrator Comb) ovvero la combinazione di un filtro integratore, un filtro derivatore ed un decimatore (Figura 10).



**Figura 10. Possibile rappresentazione di un filtro decimatore CIC.**

La risposta in frequenza di un filtro di questo tipo dipende dall'ordine dell'integratore e del derivatore, nonché dal fattore di decimazione: in figura 11 sono riportate le risposte calcolate per alcune combinazioni dei due parametri.

I filtri decimatori rimuovono le porzioni di spettro non desiderate (e quindi anche il rumore) dal canale di interesse; quando la larghezza di banda del canale di interesse è minore della banda del segnale d'ingresso, la riduzione del rumore fuori banda ottenuta per mezzo del filtraggio e successiva riduzione della frequenza del campionamento prende il nome di "process gain". Nel caso di questo ricevitore, il fattore di decimazione complessivo è pari a 2048, (la frequenza di campionamento passa da 50 MHz a circa 24 KHz), ottenendo un miglioramento nel rapporto segnale rumore di  $10 * \log_{10}(50e6/24417) = +33 \text{ dB}^5$ .



**Figura 11. Risposte in frequenza di filtri decimatori CIC di ordine 2 e 5, per fattori di decimazione di 4 e 10. L'asse x è normalizzato rispetto alla frequenza di campionamento.**

Il terzo stadio ha la struttura di un filtro FIR a coefficienti programmabili (massimo 256) e fattore di decimazione programmabile tra 1 e 32.

La distribuzione dei fattori di decimazione tra i tre stadi ed i valori dei coefficienti dello stadio RCF sono stati calcolati usando un software apposito<sup>6</sup>: stabiliti il fattore di decimazione complessivo, la frequenza di campionamento, la banda passante e l'attenuazione minima fuori banda, questo software analizza tutte le possibili combinazioni dei fattori di decimazione, fornendo tutte le soluzioni che soddisfano le specifiche. I coefficienti del filtro RCF (troncati a 20 bit) così calcolati sono poi inseriti nella flash del microcontrollore (solo 128, ovvero metà dei 256 coefficienti, dato che il filtro è simmetrico,

<sup>5</sup> Il rapporto segnale rumore del convertitore A/D a 12 bit è pari a 68 dB: grazie al process gain, il rapporto segnale rumore dopo gli stadi filtri decimatori diviene  $68 + 33 = 101 \text{ dB}$

risparmiando 512 bytes di flash) e scritti nella RAM del 6620 durante la fase dell'inizializzazione.

Le specifiche scelte per il prototipo realizzato sono le seguenti:

- frequenza di campionamento: 50 MHz
- fattore di decimazione complessivo: 2048
- banda passante (-6 dB): 4 kHz
- attenuazione minima fuori dalla banda passante: almeno 100 dB
- banda del filtro anti alias : 0...20 MHz

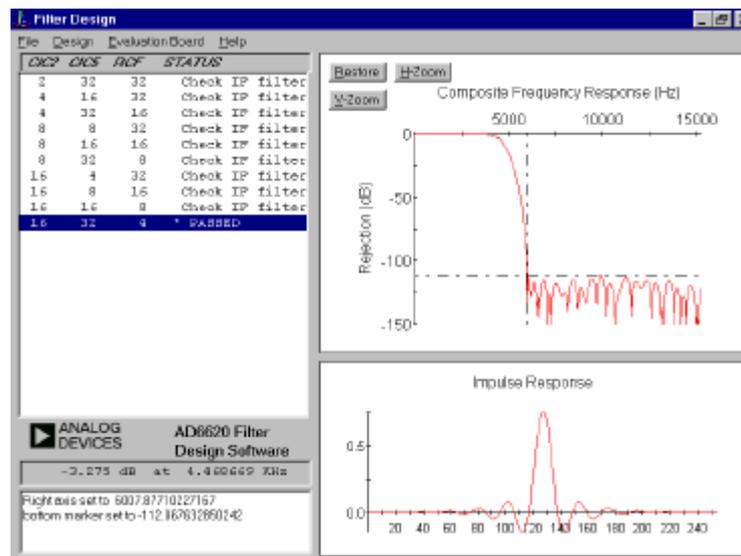
La soluzione che soddisfa queste specifiche prevede i fattori di decimazione così distribuiti:

CIC<sub>2</sub>: 16

CIC<sub>5</sub>: 32

RCF: 4

La risposta in frequenza complessiva del canale IF digitale è riportata in figura 12.



**Figura 12. Schermata finale del software per il progetto del filtro digitale: nel riquadro a destra in alto, la risposta in frequenza del filtro utilizzato nel prototipo.**

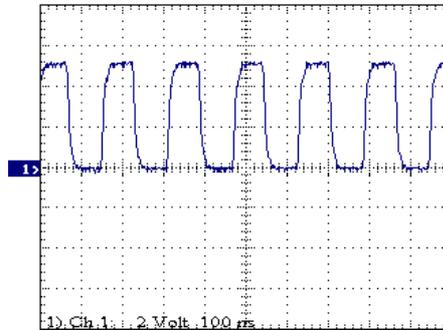
L'AD6620 è in grado di fornire i dati in uscita sia in formato parallelo che in formato seriale. La scelta, per questa realizzazione, è caduta sul formato seriale per diversi motivi:

- a) Drastica semplificazione del circuito stampato: sono sufficienti 4 piste per connettere il decimatore al DSP, al posto delle 18 necessarie utilizzando il formato parallelo.
- b) Il segnale di clock relativo ai dati in uscita ha una frequenza pari a 6.25 MHz (50e6/8), utile, come vedremo più avanti, per il funzionamento del convertitore D/A.
- c) Semplicità di interfacciamento con il DSP, che è in grado di gestire in "hardware" il bus seriale sincrono multicanale.

Un aspetto che ha richiesto diverso tempo per essere messo a punto è proprio la massima semplificazione della trasmissione seriale dei dati tra decimatore, DSP e DAC audio, al fine di ridurre al minimo l'hardware aggiuntivo.

<sup>6</sup> Scricabile dal sito [www.analog.com](http://www.analog.com)

Il segnale TFS (Transmit Frame Sync) segnala l'inizio di un burst composto da 32 bit: i primi 16 bit sono relativi al canale I, gli altri 16 bit riguardano il canale Q (vedi figura 14a). L'interfaccia seriale SPORT0 del DSP è programmata in modalità "multichannel", con una lunghezza di parola di 8 bit e 32 parole per frame. Solo le prime 4 parole sono però marcate come valide, le altre 28 vengono ignorate.



**Figura 13. Clock seriale in uscita dal decimatore, di frequenza pari a  $50 \text{ MHz} / 8 = 6.25 \text{ MHz}$**

In questo modo, sfruttando la capacità di autobuffering, il DSP genera un'interruzione quando la ricezione di 4 parole da 8 bit viene completata; all'ingresso nella routine di gestione dell'interruzione (ISR), ci si ritrova nel buffer di ricezione i due campioni I e Q, suddivisi in parte alta e parte bassa, ciascuna da 8 bit: utilizzando due operazioni di SHIFT e due operazioni di OR si ricostruiscono i 16 bit originari:

```

sr0=dm(RxBuff+1);      { componente I 8 bit bassi }
si=dm(RxBuff);         { componente I 8 bit alti  }
sr=sr or lshift si by 8 (lo); { 16 bit ricostruiti }
ax0=sr0;               { memorizza In nel registro AX0 }

sr0=dm(RxBuff+3);     { componente Q 8 bit bassi }
si=dm(RxBuff+2);     { componente Q 8 bit alti }
sr=sr or lshift si by 8 (lo); { 16 bit ricostruiti }
ax1=sr0;              { memorizza Qn nel registro AX1 }

```

Questa leggera complicazione ha come vantaggio il fatto che per ogni coppia di campioni a 16 bit sono necessari 256 impulsi di clock ( $8 \text{ bit} * 32 \text{ parole} = 256$ ): lo stesso clock seriale può quindi essere utilizzato come master clock per il DAC audio, di tipo sigma-delta, che richiede proprio un clock 256 volte maggiore rispetto al rate dei campioni in ingresso (vedi [4]).

Il DAC audio, dotato di due canali, richiede due dati per ciclo, uno relativo al canale destro ed uno relativo al canale sinistro: la trasmissione dei campioni verso il DAC deve avvenire ad un tasso doppio rispetto alla frequenza dei campioni in arrivo dal decimatore ed ogni campione deve essere accompagnato da un impulso di TFS (vedi figura 14b).

Il problema è stato risolto utilizzando la seconda seriale sincrona del DSP, chiamata SPORT1. Al pin SCLK1 viene portato lo stesso clock seriale proveniente dal decimatore; il pin di TFS1 è connesso al pin di RFS1 (Receive Frame Sync.): il segnale RFS1 viene generato dal DSP a partire dal clock seriale, impostando il divisore a 128 (metà di 256 !!); l'autobuffer è stato abilitato in trasmissione, predisponendo un buffer circolare di lunghezza due (Left e Right).

In questo modo, ogni 128 impulsi di clock viene generato un impulso di RFS1, che provoca un impulso di TFS1 e la conseguente trasmissione dei 16 bit relativi al canale destro e sinistro alternativamente, dal momento che il buffer di trasmissione ha lunghezza

due. I dati contenuti nel buffer di trasmissione vengono aggiornati dalla ISR di ricezione ogni 256 impulsi di clock.

La frequenza del clock seriale del decimatore deve pertanto essere 256 volte maggiore della frequenza di aggiornamento dei dati d'uscita.

Riassumendo, valgono le seguenti relazioni:

Frequenza di campionamento = 50 MHz

Decimazione = 2048

Fattore di divisione per il clock seriale del decimatore = 8 (vedi ingressi SDIV di AD6620)

Frequenza clock seriale =  $50'000'000 / 8 = 6'250'000$  Hz

Frequenza master clock DAC =  $6'250'000$  Hz

Frequenza clock SPORT0 =  $6'250'000$  Hz

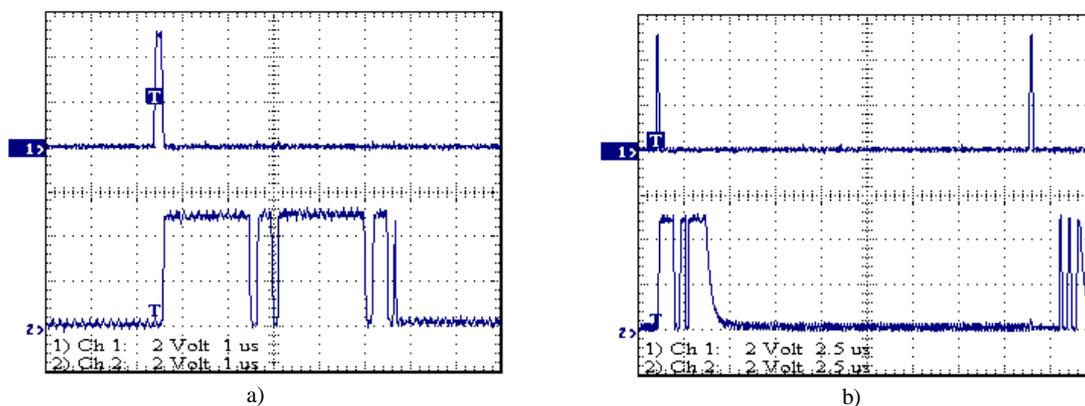
Frequenza clock SPORT1 =  $6'250'000$  Hz

Frequenza campioni I e Q (su RFS0) =  $50'000'000 / 2048 = 24'414$  Hz

Frequenza campioni L + R (su TFS1) =  $48'818$  KHz

L'unica restrizione che nasce usando questa configurazione è che il valore della decimazione deve contenere i fattori 256 e 8 perché deve poter essere divisibile per entrambi questi numeri ( $2048 = 256 * 8 * 1$ ). Naturalmente, sono possibili altre combinazioni, ad esempio usando un fattore di divisione del clock seriale diverso, tale da assicurare comunque la banda passante richiesta<sup>7</sup>.

La completa programmabilità, sia a livello di software che hardware, danno la massima



**Figura 14. a) Impulso di TFS proveniente dal decimatore e burst di 16+16 bit dei canali I e Q in ingresso alla SPORT0 e b) impulsi di TFS e dati a 16 bit relativi al canale destro e sinistro in ingresso al DAC generati dalla SPORT1.**

flessibilità al progetto, permettendo la sperimentazione di moltissime combinazioni, adatte ai più disparati schemi di modulazione/demodulazione.

Va ulteriormente sottolineato, a conferma della estrema flessibilità del circuito, che la configurazione esposta rappresenta solamente una delle possibili scelte. Per fare un esempio, il DAC potrebbe essere programmato per funzionare con un clock 384 volte maggiore del data rate: si potrebbe allora semplificare la routine di IRQ impostando la lunghezza di parola a 16 bit e la lunghezza del frame seriale a 24. In questo modo un frame viene completato in  $24 * 16 = 384$  cicli di clock, durante i quali vengono trasmessi al DSP i due campioni a 16 bit I e Q.

<sup>7</sup> Usando, ad esempio, un fattore di divisione di 10 (SDIV = 5), si dovrebbe impiegare una decimazione di 2560, ottenendo una banda passante massima di 9765.6 Hz

Programmando il fattore RFSDIV a 192, il DAC audio riceve due impulsi di TFS (e quindi i due campioni relativi al canale destro e sinistro) per ogni frame I e Q del decimatore. Il fattore di decimazione complessivo ora dovrà essere multiplo di 384 e di SDIV; imponendo una banda passante minima di 10 kHz, si ottiene:  $50e6/384/20e3 = 6.51$ . Arrotondando SDIV a 6, si ha:

Decimazione =  $384 \cdot 6 = 2304$

Fattore di divisione per il clock seriale del decimatore (SDIV) = 6

Frequenza clock seriale =  $50'000'000 / 6 = 8'333'333$  Hz

Frequenza master clock DAC =  $8'333'333$  Hz

Frequenza clock SPORT0 =  $8'333'333$  Hz

Frequenza clock SPORT1 =  $8'333'333$  Hz

Frequenza campioni I e Q (su RFS0) =  $50'000'000 / 2304 = 21'701$  Hz

Frequenza campioni L + R (su TFS1) =  $43'402$  kHz

Naturalmente andranno ricalcolati i coefficienti dello stadio RCF utilizzando il nuovo fattore di decimazione, il buffer di ricezione avrà lunghezza due, dovranno essere marcati valide solamente le prime due word del frame seriale e non saranno più necessarie le operazioni di "shift" ed "or" per ricostruire i campioni I e Q a 16 bit.

#### 4.3. MICROCONTROLLORE

Il microcontrollore utilizzato è un ADuC812 di Analog Devices [6], scelto unicamente perché già in mio possesso, compresi gli strumenti per lo sviluppo del software (compilatore C) e da me già utilizzato per applicazioni professionali.

Questo microcontrollore è basato sull'8052, un micro molto diffuso in ambiente industriale e per il quale esiste una vasta letteratura e disponibilità di tools di sviluppo.

Per la scrittura del codice è stato utilizzato un compilatore C in versione dimostrativa, anche questa disponibile gratuitamente sul web<sup>8</sup>.

La versione demo del compilatore non permette il debug di codice più lungo di 2K e non comprende la libreria per l'aritmetica a virgola mobile, ma si è rivelata più che sufficiente allo scopo; l'efficienza del codice generato è veramente molto buona.

Il microcontrollore è equipaggiato con 8K di memoria programma di tipo FLASH, una interfaccia seriale asincrona (RS232) ed una sincrona (I<sup>2</sup>C o SPI), timers, due DAC a 12 bit (non usati), 8 canali AD a 12 bit (non usati), 256 bytes di RAM e 640 bytes di E<sup>2</sup>PROM (utili per memorizzare parametri ed impostazioni in maniera non volatile).

Il contenitore è un LQFP a 52 pin, caratteristica che riduce l'ingombro e, a mio avviso, semplifica la costruzione del circuito stampato doppia faccia (ci risparmia l'esecuzione e l'allineamento di 52 fori!).

Questo componente può, tuttavia, essere tranquillamente sostituito con un microcontrollore qualsiasi della famiglia 8052 senza nemmeno ricompilare il codice sorgente, in quanto non sono state utilizzate le caratteristiche particolari dell'ADuC812.

Una grossa comodità, offerta oramai da quasi tutti i microcontrollori moderni, è la possibilità di riprogrammare la memoria flash "in-circuit", utilizzando l'interfaccia seriale asincrona (RS232) ed un semplice programma di download dal PC.

Il compito principale del microcontrollore è quello di inizializzare il tuner digitale (AD6620) programmando i fattori di attenuazione, la decimazione, i coefficienti del filtro RCF e la modalità di funzionamento: la fase di inizializzazione deve necessariamente avvenire

<sup>8</sup> [www.keil.com](http://www.keil.com)

tramite una porta di I/O parallela (chiamata "micro-port", vedi [3]), non essendo possibile eseguirla tramite porta seriale<sup>9</sup>.

Per mezzo di un semplice protocollo di comunicazione tra microcontrollore e PC, attraverso l'interfaccia seriale, è possibile modificare una serie di parametri che influenzano il funzionamento del decimatore, come ad esempio:

- la frequenza di ricezione
- l'attivazione del "phase dither" o dell' "amplitude dither"
- i valori dei fattori di attenuazione degli stadi CIC2, CIC5 ed RCF

Un ulteriore insieme di comandi è riservato al controllo delle funzioni del DSP, permettendo di attivare o meno determinati algoritmi ed impostarne i parametri di funzionamento.

Diverse porte di I/O del microcontrollore rimangono inutilizzate e potrebbero essere utili, ad esempio, per pilotare un display LCD, per gestire una tastiera ed un encoder per la sintonia eliminando, in questo modo, la necessità di utilizzare un PC per pilotare il ricevitore.

## 5. SCHEDA "BF" (DSP)

La scheda "BF" comprende i seguenti componenti: il DSP, la eprom contenente il programma per il DSP, il DAC audio ed uno stadio buffer ad operazionale per abbassare l'impedenza d'uscita ad un livello sufficiente a pilotare i due altoparlanti.

### 5.1 DSP

Il DSP usato è l'ADSP 2184, processore con architettura a 16 bit, aritmetica a virgola fissa e capace di funzionare ad una frequenza di clock di 40 MHz.

Questo componente è dotato di 20 K bytes di RAM interna, suddivisa in 4 K words (a 24 bit) per lo spazio programma e 4 K words (a 16 bit) per lo spazio dati. E' il più piccolo e meno costoso della famiglia 218x, "pin to pin" compatibile con i fratelli maggiori. Per poter funzionare, richiede solamente una EPROM esterna, dalla quale, al momento del boot, viene letto il programma e trasferito nella RAM interna.

Il DSP è dotato di una serie di periferiche molto utili, alcune delle quali sono (vedi [5]):

- due interfacce seriali sincrone con capacità di autobuffering e multichannel (solo una delle due)
- un timer
- una porta di I/O programmabile bidirezionale ad 8 bit
- ulteriori pin di I/O monodirezionali (FLAGS)
- canali di DMA verso la EPROM e/o verso l'eventuale RAM esterna
- porta dedicata alla connessione multiprocessore

Le due porte seriali sincrone sono state impiegate per la gestione dei dati in ingresso (dal decimatore) ed in uscita (verso il DAC audio).

La porta di I/O è parzialmente utilizzata per comunicare con il microcontrollore, tramite un protocollo seriale sincrono (del tipo SPI) gestito da software.

---

<sup>9</sup> Con la futura disponibilità dell'AD6624, evoluzione dell'AD6620, sarà possibile eseguire l'inizializzazione del decimatore direttamente dal DSP tramite la porta seriale, riducendo in modo significativo l'occupazione di memoria del microcontrollore.

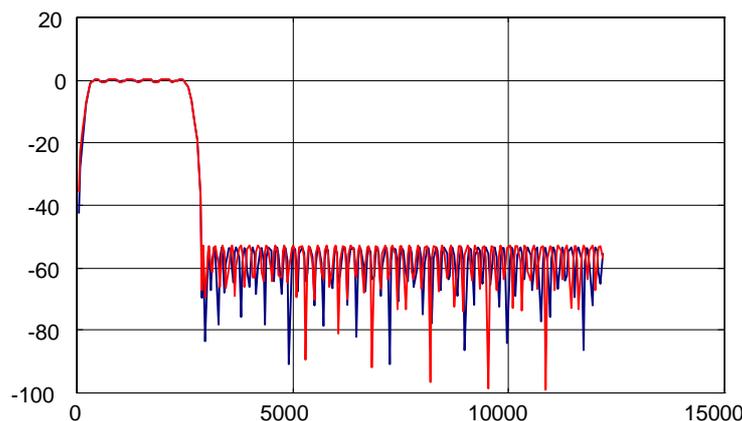
Tre uscite (FLAG0, 1 e 2) pilotano altrettanti LED, utili per il debug del codice ed altre indicazioni di funzionamento.

Il programma, dopo una prima fase di inizializzazioni, entra in un loop di attesa comandi: nel caso in cui la routine di interrupt segnali un flag di ricezione comando, viene eseguito il codice relativo per poi tornare al loop principale.

Esistono due Interrupt Service Routines (ISR), la prima dedicata alla ricezione ed elaborazione dei campioni provenienti dal decimatore, la seconda alla comunicazione con il microcontrollore.

Il flusso dati nella routine di ricezione può essere schematizzato come segue:

- a) ricostruzione dei due campioni I e Q a 16 bit a partire dai 4 byte del buffer di ricezione.
- b) a seconda del tipo di demodulazione da effettuare:
  - AM: Calcolo del modulo  $a(t)=\sqrt{I^2+Q^2}$  e successivo filtraggio, con banda passante di 4 kHz
  - SSB: Filtraggio e sfasamento dei campioni relativi ai segnali I e Q tramite una coppia di filtri "omologhi". I filtri SSB hanno banda passante di 2400 Hz.
- c) calcolo del valore di picco del segnale per l'algoritmo di IF-AGC.
- d) aggiornamento del valore di IF-AGC, intervenendo sui fattori di attenuazione del decimatore con passi di 6 dB (se IF-AGC abilitato)
- e) aggiornamento dell'algoritmo di AGC audio, per una regolazione fine del livello del segnale in uscita, con un range di 32 dB (se AGC audio abilitato)
- f) se abilitato, filtraggio tramite filtro adattativo per la riduzione del rumore ed aggiornamento dei coefficienti secondo un algoritmo LMS<sup>10</sup>.
- g) se abilitato, filtraggio tramite filtro notch automatico ([17] e [19]) ed aggiornamento dei coefficienti con algoritmo LMS.
- h) se abilitato, filtraggio attraverso un filtro stretto centrato a 1000 Hz, con 500 Hz di banda passante. (filtro CW)
- i) aggiornamento del buffer di trasmissione (DAC audio)

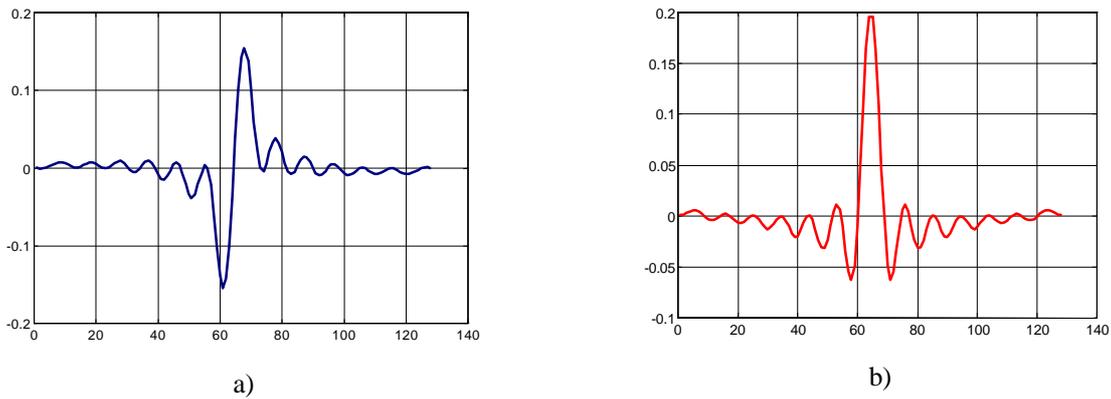


**Figura 15. Risposta in frequenza (modulo) dei filtri "omologhi" utilizzati per la demodulazione SSB e CW.**

Quelli che al punto b) ho chiamato "filtri omologhi" non sono altro che una coppia di filtri con struttura FIR, composti da 127 taps<sup>11</sup>, aventi risposta in frequenza uguale come

<sup>10</sup> Least Mean Squares, conosciuto anche come metodo del gradiente, vedi [16], [17], [18] e [19].

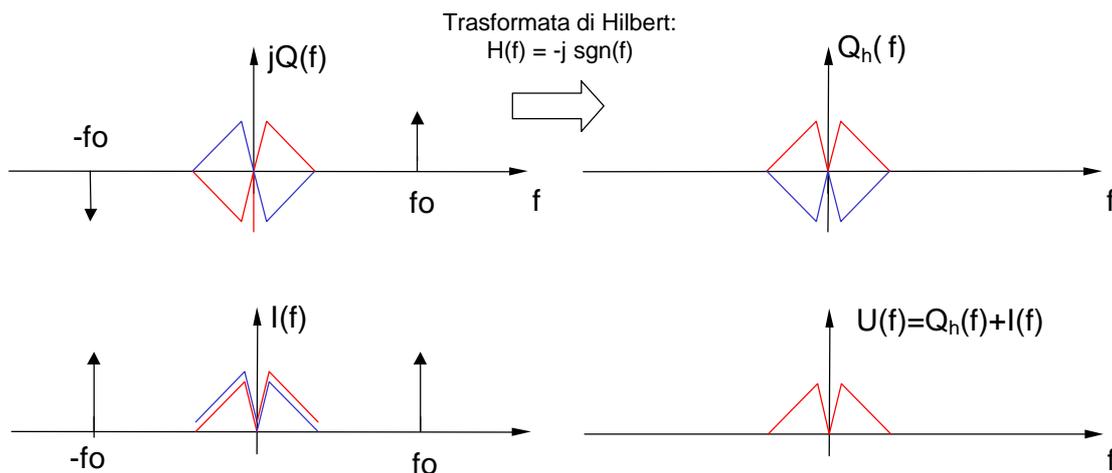
modulo ma diversa come fase: il primo non introduce nessuno sfasamento se non il ritardo di gruppo (filtro con risposta reale) mentre il secondo sfasa il segnale di 90° (filtro di Hilbert, con risposta immaginaria pura). Questi due filtri sono stati progettati utilizzando l'algoritmo "REMEZ" descritto in [15]. In figura 15 è riportato l'andamento del modulo della risposta in frequenza dei due filtri: in banda passante le risposte sono perfettamente sovrapponibili; in figura 16 si possono, invece, vedere le due risposte impulsive, in a) del filtro di Hilbert (risposta impulsiva "dispari") ed in b) del filtro reale (risposta impulsiva "pari").



**Figura 16. Risposta impulsiva dei due filtri "omologhi": in a) il filtro di Hilbert ( $\Delta\phi = 90^\circ$ ), in b) il filtro reale ( $\Delta\phi = 0^\circ$ ).**

L'algoritmo di demodulazione SSB consiste semplicemente nel sommare (caso USB) o sottrarre (caso LSB) i campioni corrispondenti all'uscita dai filtri omologhi: in figura 17 è illustrato, nel dominio della frequenza, quello che succede per la USB.

La demodulazione AM si ottiene, invece, calcolando il modulo del vettore che ha per componenti i campioni  $I_n$  e  $Q_n$ , utilizzando la formula  $a_n = \sqrt{I_n^2 + Q_n^2}$ , approssimata utilizzando l'espansione in serie di Taylor ([29] e [30]).



**Figura 17. Esempio di demodulazione USB utilizzando il metodo a sfasamento.**

<sup>11</sup> In un filtro FIR, un "tap" corrisponde ad una coppia di una cella di memoria della linea di ritardo ed un coefficiente numerico.

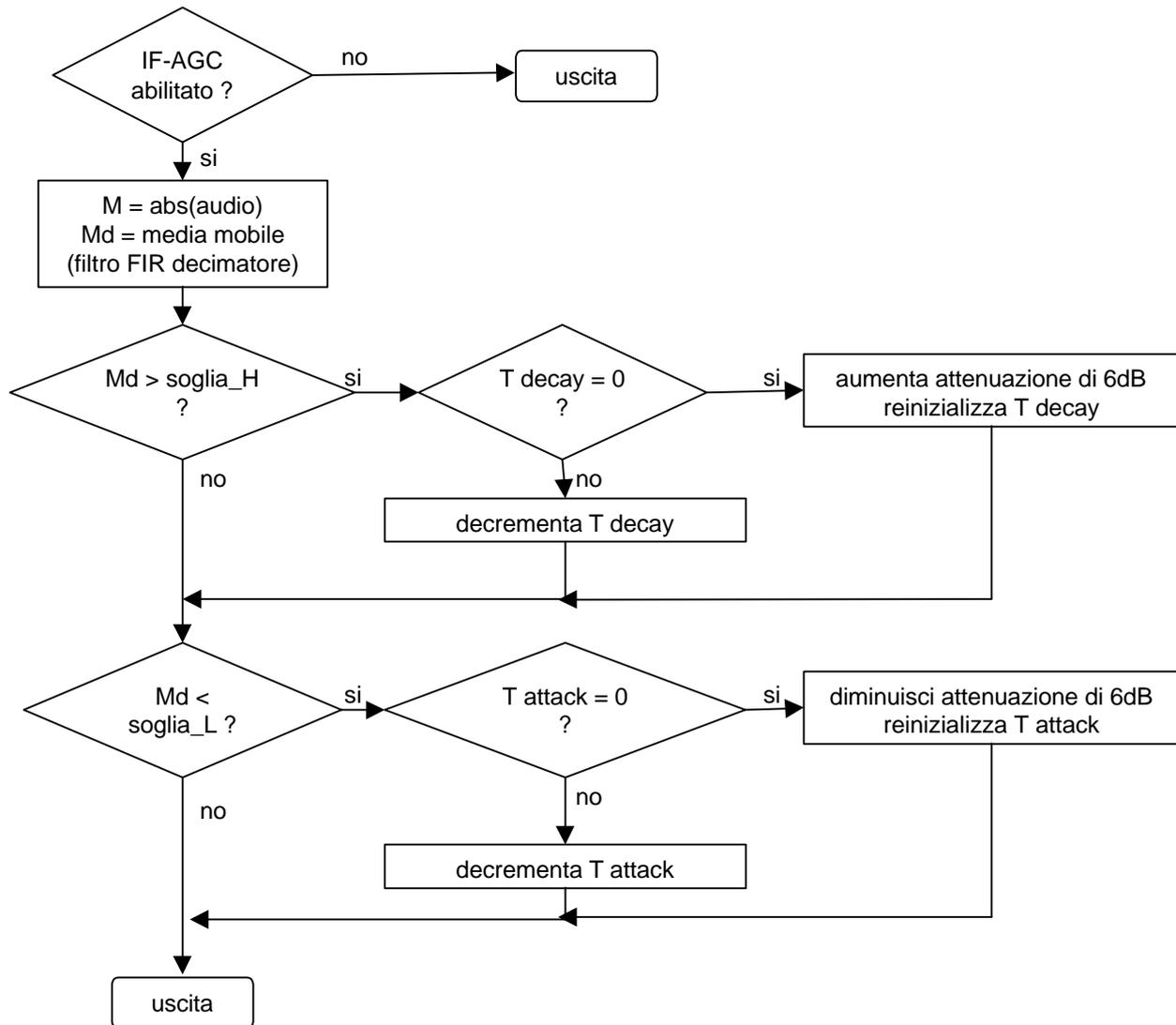


Figura 18. Diagramma di flusso dell'algoritmo di IF-AGC.

L'algoritmo di IF-AGC va ad agire sui fattori di attenuazione dei filtri decimatori, che costituiscono il canale di frequenza intermedia digitale.

L'obiettivo di questo stadio è evitare che i filtri decimatori possano saturare: purtroppo, nell'hardware del decimatore, non è stato previsto nessun circuito hardware che possa fornire l'indicazione dell'overflow di uno dei tre stadi, né l'indicazione che il convertitore A/D stesso sia in condizioni di saturazione.

Per questo motivo, si è costretti a lavorare con un largo margine, prossimo al 50% del fondoscala, in modo da permettere momentanei ed ampi sbalzi del segnale senza provocare overflow prima dell'intervento sui fattori di attenuazione del decimatore.

In figura 18 è riportato il diagramma di flusso dell'algoritmo di IF-AGC; la presenza delle due soglie ("soglia H" e "soglia L") introduce l'isteresi necessaria ad evitare il continuo intervento da parte della regolazione: personalmente non sono del tutto soddisfatto del funzionamento di questo controllo e ritengo debba essere migliorato<sup>12</sup>.

<sup>12</sup> Componenti simili all'AD6620, ma di altri costruttori, dedicano molte risorse hardware alla realizzazione di un AGC efficiente. Cfr. [10] [11] [12] e [13]

In Tabella 1 sono riportati i valori di attenuazione introdotta in funzione del valore della variabile utilizzata per rappresentare il livello di IF-AGC.

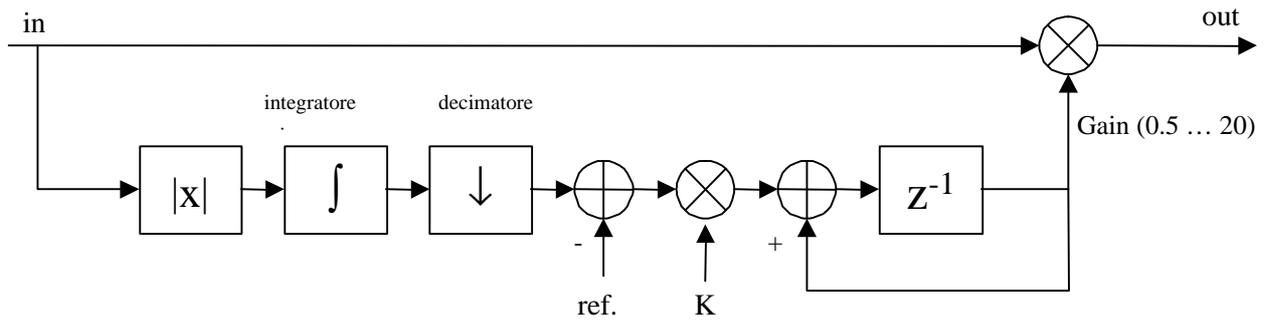
| Livello IF-AGC | A <sub>CIC2</sub> | A <sub>CIC5</sub> | A <sub>RCF</sub> | Guadagno/<br>Attenuazione | Indicazione S-METER |
|----------------|-------------------|-------------------|------------------|---------------------------|---------------------|
| 0              | 4                 | 14                | 0                | +12                       | S0                  |
| 1              | 5                 | 14                | 0                | +6                        | S1                  |
| 2              | 6                 | 14                | 0                | 0                         | S2                  |
| 3              | 5                 | 16                | 0                | -6                        | S3                  |
| 4              | 6                 | 16                | 0                | -12                       | S4                  |
| 5              | 5                 | 18                | 0                | -18                       | S5                  |
| 6              | 6                 | 18                | 0                | -24                       | S6                  |
| 7              | 5                 | 20                | 0                | -30                       | S7                  |
| 8              | 6                 | 20                | 0                | -36                       | S8                  |
| 9              | 6                 | 20                | 1                | -42                       | S9                  |
| 10             | 6                 | 20                | 2                | -48                       | S9+6                |
| 11             | 6                 | 20                | 3                | -54                       | S9+12               |
| 12             | 6                 | 20                | 4                | -60                       | S9+18               |
| 13             | 6                 | 20                | 5                | -66                       | S9+24               |
| 14             | 6                 | 20                | 6                | -72                       | S9+30               |

**Tabella 1. Valori di attenuazione introdotti dall'algoritmo di IF-AGC.**

La combinazione dei fattori di attenuazione  $A_{CIC2}$ ,  $A_{CIC5}$  ed  $A_{RCF}$ , sono stati scelti in modo da massimizzare il rapporto segnale rumore, mantenendo il più basso possibile il valore dell'attenuazione del primo stadio. La risoluzione minima della regolazione è pari a circa 6 dB (shift a destra di un bit = divisione per due = 6.02 dB di attenuazione), pari anche alla risoluzione dell'indicazione dello S-METER.

In corrispondenza di un intervento dell'algoritmo di IF-AGC, è udibile in altoparlante la variazione di intensità audio: a contrastare questo effetto è stato aggiunto un secondo anello di AGC, ottenuto moltiplicando il campione del segnale audio per una grandezza variabile (guadagno) con continuità tra 0.5 e 20, in modo da mantenere costante la potenza media del segnale d'uscita. Il valore del riferimento (indicato con ref. in figura 20) è impostabile da PC.

<sup>13</sup> Componenti simili all'AD6620, ma di altri costruttori, dedicano molte risorse hardware alla realizzazione di un AGC efficiente. Cfr. [10] [11] [12] e [13]



**Figura 20. Schema a blocchi dell'algoritmo di AGC audio.**

Lo schema a blocchi dell'algoritmo di AGC audio è riportato in figura 20 e, come si può vedere, è più complesso rispetto all'IF-AGC. Anche questa regolazione automatica, naturalmente, è attivabile o disattivabile a piacimento.

La costante K di figura 20 determina la velocità delle fasi di salita e discesa dell'AGC: nel codice utilizzato nel ricevitore sono utilizzati due valori diversi, indicati  $K_a$  e  $K_d$ , in modo da ottenere una fase di salita molto rapida ed una fase di discesa più lenta. I valori delle due costanti, e quindi dei tempi di risposta dell'AGC, sono modificabili in qualunque istante utilizzando il programma di controllo da PC. Sono poi stati previsti due valori di default per il decay, ottimizzati per il CW (decay lento) e per la SSB e l'AM (decay più rapido).

## 5.2. CONVERTITORE D/A E STADIO DI USCITA

L'ultimo stadio digitale del ricevitore è rappresentato dal convertitore D/A; la disponibilità di questo tipo di componenti è molto ampia e, anche in questo caso, i criteri utilizzati per la scelta sono stati, nell'ordine, la semplicità d'uso e la facile reperibilità. Il componente scelto è l'AD1858 [4], convertitore D/A di tipo sigma delta, a due canali a 16 bit, pilotabile da un clock 256 (o 384) volte superiore alla frequenza di campionamento e di costo estremamente basso.

Come si vede dallo schema elettrico di appendice D, i componenti discreti richiesti da questo integrato sono praticamente limitati ai soli condensatori di disaccoppiamento delle alimentazioni. Il contenitore, in linea con quasi tutti gli altri componenti attivi e passivi della scheda, è a montaggio superficiale da 20 piedini.

Il livello d'uscita è di 1 Vpp su 2000 ohm: il segnale all'uscita viene, pertanto, "bufferizzato" tramite un operazionale (AD8534, rail-to-rail a singola alimentazione [33]) in configurazione invertente, accoppiato in continua al D/A utilizzando la  $V_{ref}$  fornita dal D/A stesso.

L'amplificazione in tensione dello stadio buffer è di poco superiore a 1, per sfruttare tutta la dinamica del DAC (96 dB) e la banda passante viene limitata a 10 kHz per mezzo di un condensatore in parallelo alla resistenza di retroazione. Insieme al filtro passa basso d'ingresso ed alla capacità di elaborazione del DSP, questa è una delle pochissime limitazioni imposte alla banda passante dall'hardware del ricevitore.

Il DAC, il DSP, la EPROM e l'operazionale d'uscita trovano posto su di una scheda formato EUROCARD, fissata con quattro distanziatori a torretta sopra alla scheda del tuner digitale, come si può vedere dalla foto 4 in appendice G.

Anche in questo caso sono stati presi particolari accorgimenti nella realizzazione del circuito stampato: segnali digitali e analogici hanno piani di massa separati e sono confinati in zone dedicate del circuito stampato. Il piano di massa analogico si connette al piano di massa digitale in un unico punto, in prossimità del morsetto di alimentazione (punto ad impedenza più bassa), per mezzo di una impedenza di blocco tipo VK200.

## 6. SOFTWARE DI CONTROLLO PER PC

In un primo momento la comunicazione tra PC ed il ricevitore era basata su una interfaccia a comandi "ASCII" leggibili in chiaro, del tipo "TNC2", in modo da rendere possibile il controllo dei vari parametri utilizzando un semplice programma di terminale.

In seguito, si è reso necessario codificare i comandi con un singolo byte binario, per ridurre l'ingombro del programma del microcontrollore: gli 8 K di flash a disposizione sono, nonostante questa modifica, quasi completamente utilizzati.

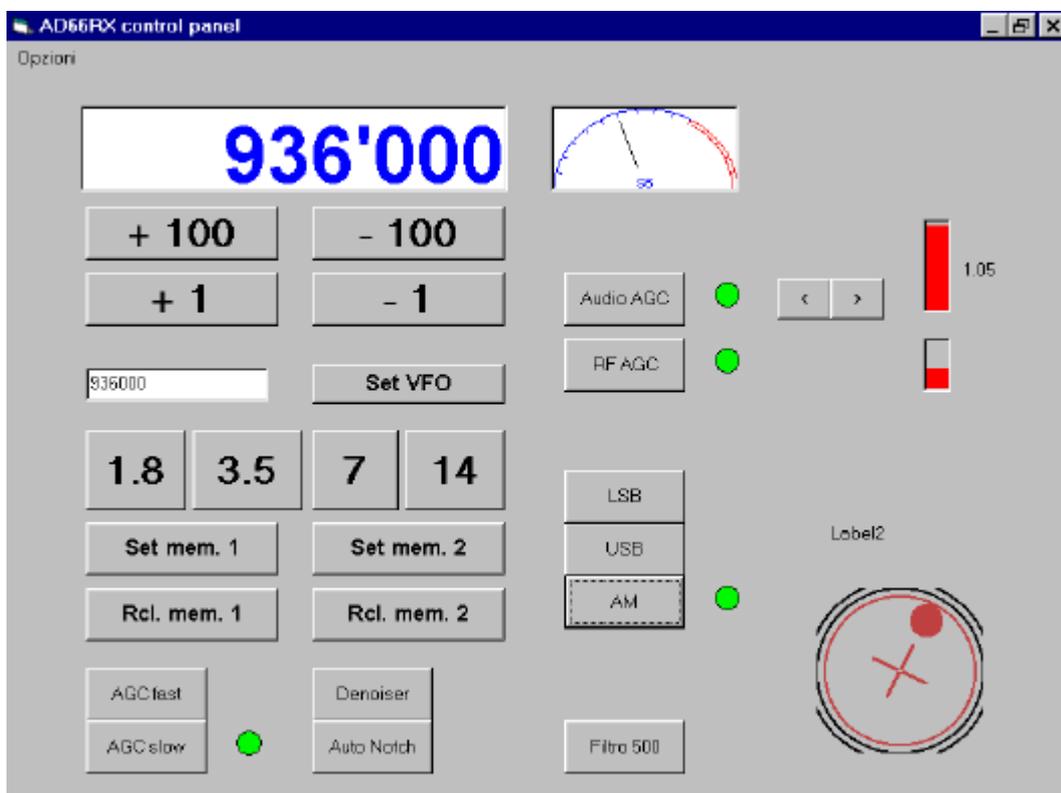


Figura 21. Schermata del pannello di controllo del ricevitore digitale.

In un secondo momento è stato scritto, utilizzando il linguaggio Visual Basic, un software di controllo per PC, visibile in figura 21, con il quale è possibile controllare agevolmente tutte le funzioni e le impostazioni dei parametri del ricevitore.

## 7. CARATTERISTICHE DEL RICEVITORE

Le caratteristiche del ricevitore digitale possono essere così riassunte:

|                                          |                                                                                                                                                               |
|------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------|
| Alimentazione:                           | 5 V, 600 mA<br>-5 V, 8.5 mA                                                                                                                                   |
| Dinamica del convertitore A/D:           | 69 dB                                                                                                                                                         |
| Rapporto segnale/rumore di quant.:       | 101 dB                                                                                                                                                        |
| Frequenze operative:                     | da 20 kHz a 20 MHz                                                                                                                                            |
| Demodulazioni:                           | AM, USB, LSB, CW                                                                                                                                              |
| Banda passante:                          | 2400 Hz (USB e LSB)<br>4000 Hz (AM)<br>500 Hz (CW)                                                                                                            |
| Selettività:                             |                                                                                                                                                               |
| fattore di forma del filtro IF:          | 1.16                                                                                                                                                          |
| fattore di forma filtri AF:              | 1.2 (AM)<br>1.18 (SSB)<br>1.3 (CW)                                                                                                                            |
| Sintonia:                                | a passi di 1 Hz, 10 Hz o 100 Hz (da PC)<br>a passi di 10 Hz tramite resolver a manopola                                                                       |
| impulsi per giro del resolver:           | 24                                                                                                                                                            |
| Stabilità in frequenza:                  | ± 20 ppm                                                                                                                                                      |
| Elaborazioni audio:                      |                                                                                                                                                               |
|                                          | - auto notch filter (programmabile)<br>- auto noise reduction (programmabile)<br>- controllo automatico del volume (programmabile)<br>- filtro stretto 500 Hz |
| Dinamica AGC:                            |                                                                                                                                                               |
|                                          | - 84 dB a step di 6 dB (sul canale IF)<br>- 20 dB (preamplificatore RF)<br>- 36 dB (AF-AGC)                                                                   |
| Costanti di tempo AGC:                   | completamente programmabili sia la fase di salita che di discesa.                                                                                             |
| Indicatore di livello (s-meter):         | da S0 a S9+30, con risoluzione di 6 dB                                                                                                                        |
| Purezza spettrale oscillatore locale:    | -100 dBc, utilizzando il phase dither (vedi [3])                                                                                                              |
| Risposta Audio (preamplificatore audio): | da 0 a 10 kHz                                                                                                                                                 |
| Livello audio in uscita:                 | 2 Vpp su 16 Ohm                                                                                                                                               |

## 8. OSSERVAZIONI E CONCLUSIONI

Dato il carattere sperimentale di questa realizzazione, le possibili migliorie possono essere molte, a partire dai tre circuiti stampati, che possono essere sbrogliati in modo più "denso" ed essere unificati in un'unica scheda.

Le caratteristiche del ricevitore possono essere migliorate utilizzando un preamplificatore a guadagno programmabile ed un attenuatore a scatti controllato dal microprocessore.

La dinamica ed il rapporto segnale-rumore possono essere migliorati di circa 12 dB utilizzando un convertitore analogico digitale a 14 bit anziché 12, oggi disponibile fino alla frequenza di campionamento di 65 MHz. [7]

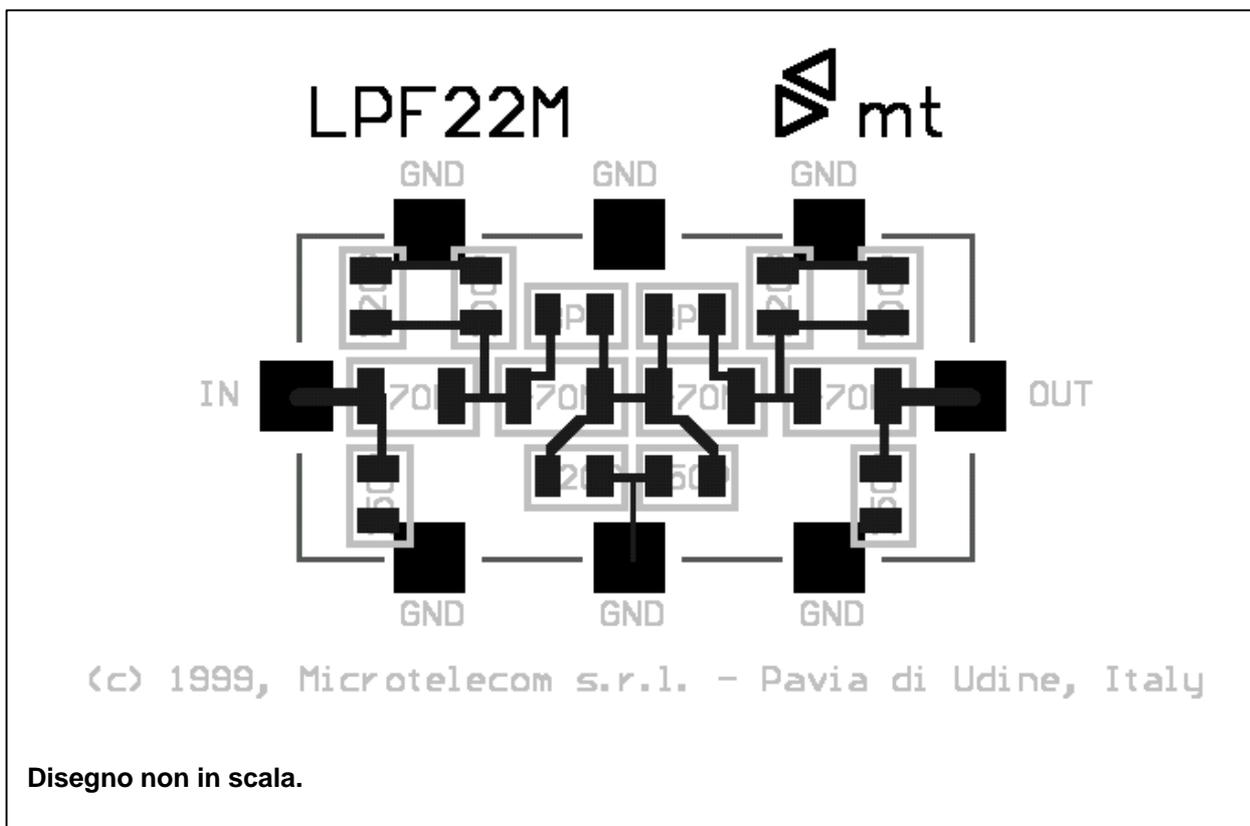
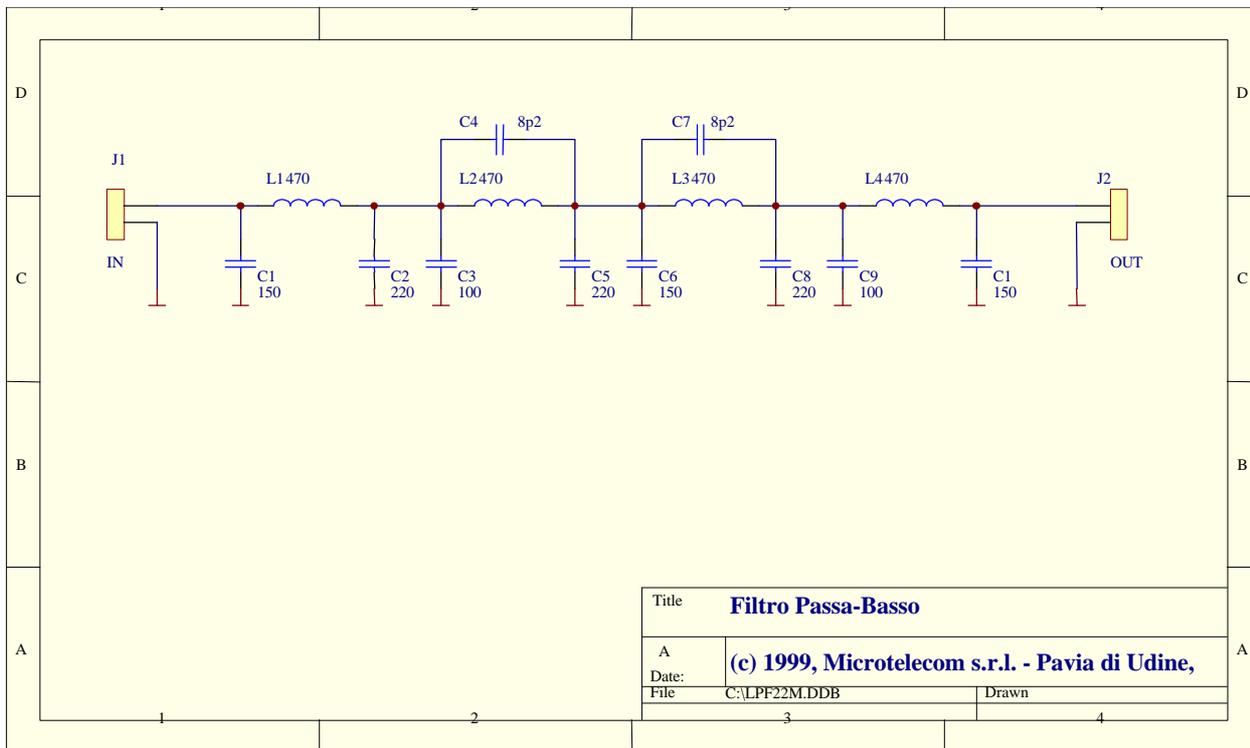
Volendo utilizzare questo ricevitore come canale di media frequenza per realizzare un ricevitore supereterodina per frequenze più elevate, potrebbe essere utile implementare, nella sezione DSP, un algoritmo di demodulazione FM e/o demodulazioni numeriche.

Dall'anno prossimo saranno disponibili, anche per campionature, nuovi circuiti integrati, con i quali, ad esempio, sarà possibile gestire contemporaneamente quattro canali IF contemporanei ed indipendenti, sia per frequenza che per banda passante, che per modo operativo, con la possibilità, tuttavia, di sincronizzare e combinare tra loro le quattro sorgenti, ottenendo prestazioni di selettività ancora migliori.

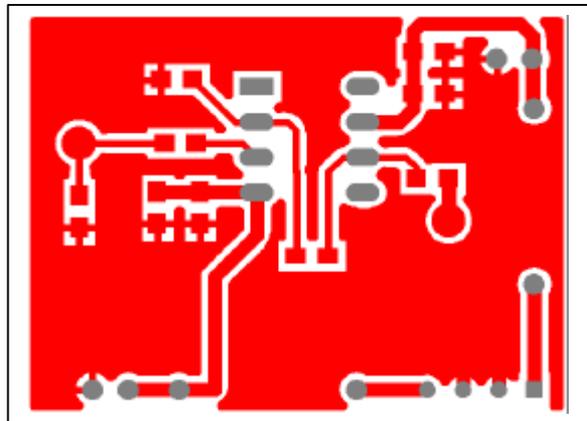
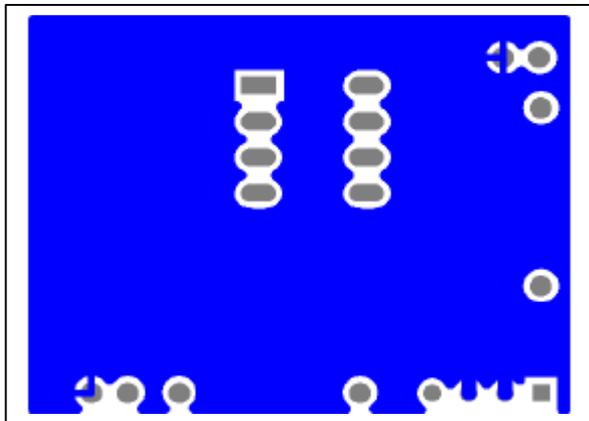
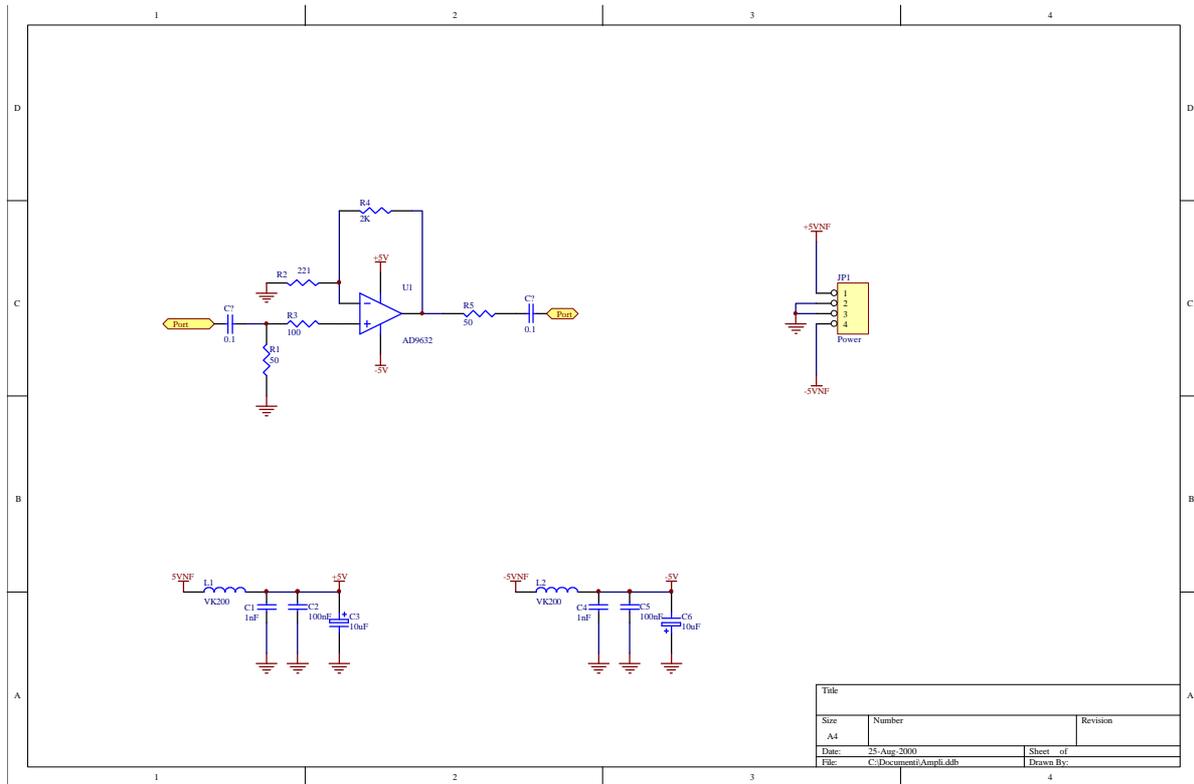
Sarà possibile, inoltre, realizzare sulla stessa scheda la sezione trasmittente, anch'essa interamente digitale, senza aumentare troppo la complessità del circuito, dal momento che numerose risorse potranno essere condivise con la sezione ricevente. Infatti, la capacità della SPORT0 del DSP di gestire il protocollo seriale sincrono multicanale, è sfruttata attualmente solo per la ricezione dei due canali I e Q del decimatore: i restanti 30 slot sono quindi liberi e potrebbero essere impiegati per la connessione con altre periferiche, come, ad esempio, altri chip decimatori, uno o più chip interpolatori o un sintetizzatore (DDS) per la realizzazione della sezione trasmittente.

I dati relativi alle prestazioni del ricevitore, riportati al paragrafo precedente, derivano solo in parte da misure realmente effettuate sul prototipo, essendo, per la maggioranza derivate dai data-sheet; è doveroso, quindi, completare il lavoro con una accurata e completa caratterizzazione strumentale (vedi, ad es. [29]), per poter così confrontare in modo corretto, le prestazioni di questo ricevitore con le prestazioni dei ricevitori analogici tradizionali.

### A. SCHEMA ELETTRICO E CIRCUITO STAMPATO DEL FILTRO ANTI-ALIAS

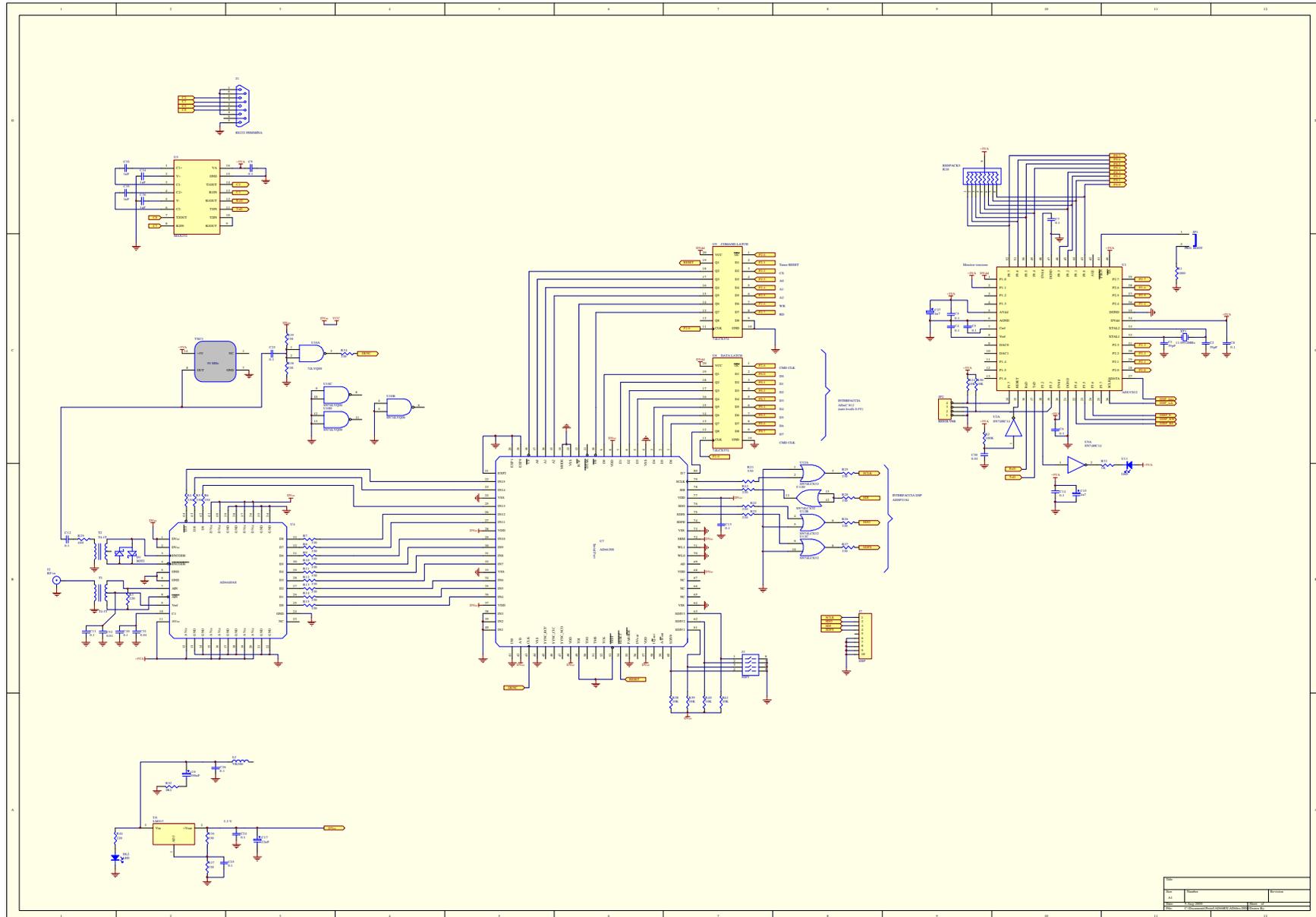


### B. SCHEMA ELETTRICO E CIRCUITO STAMPATO SCHEDA AMPLIFICATORE RF

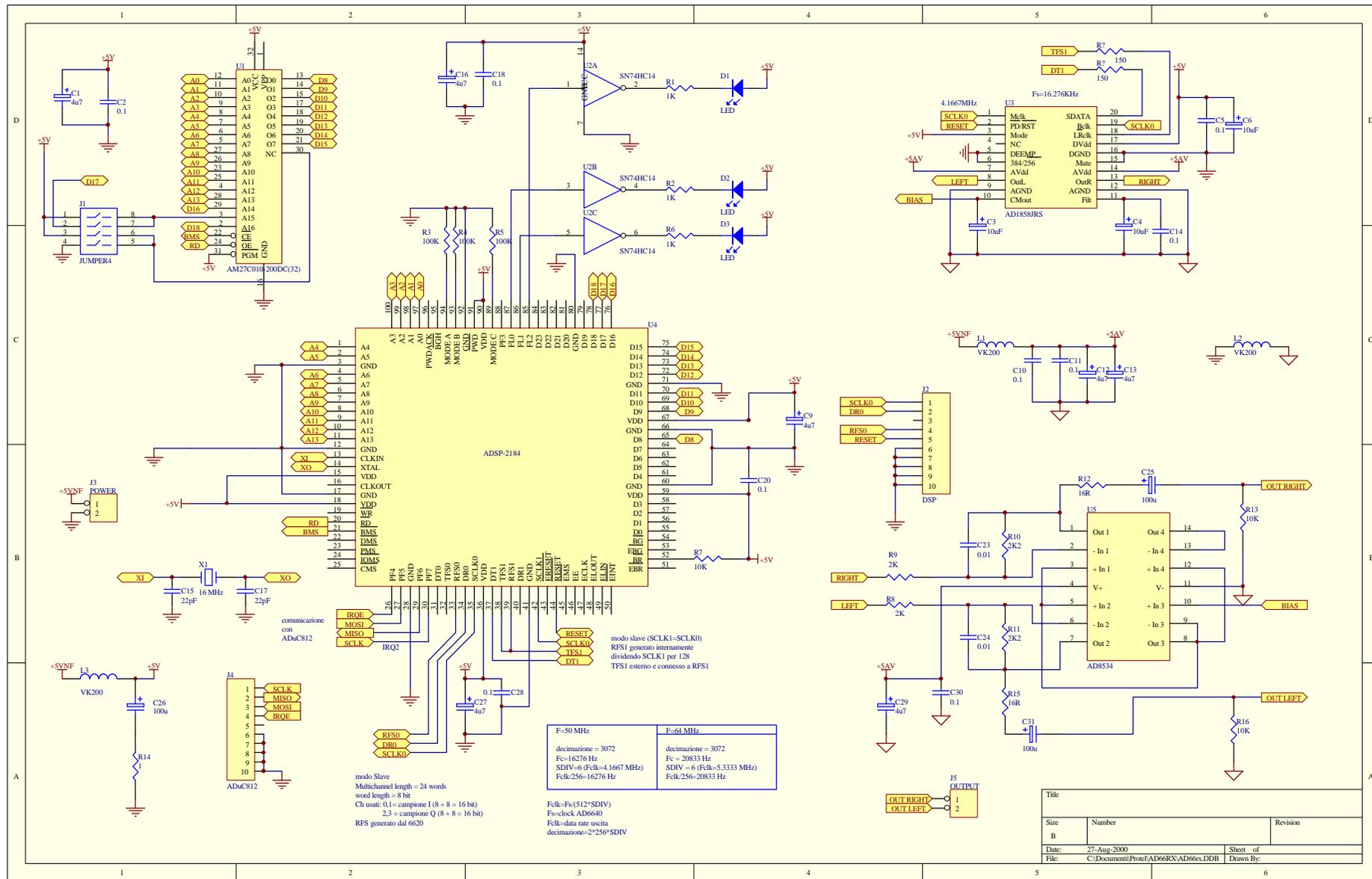


Disegno non in scala

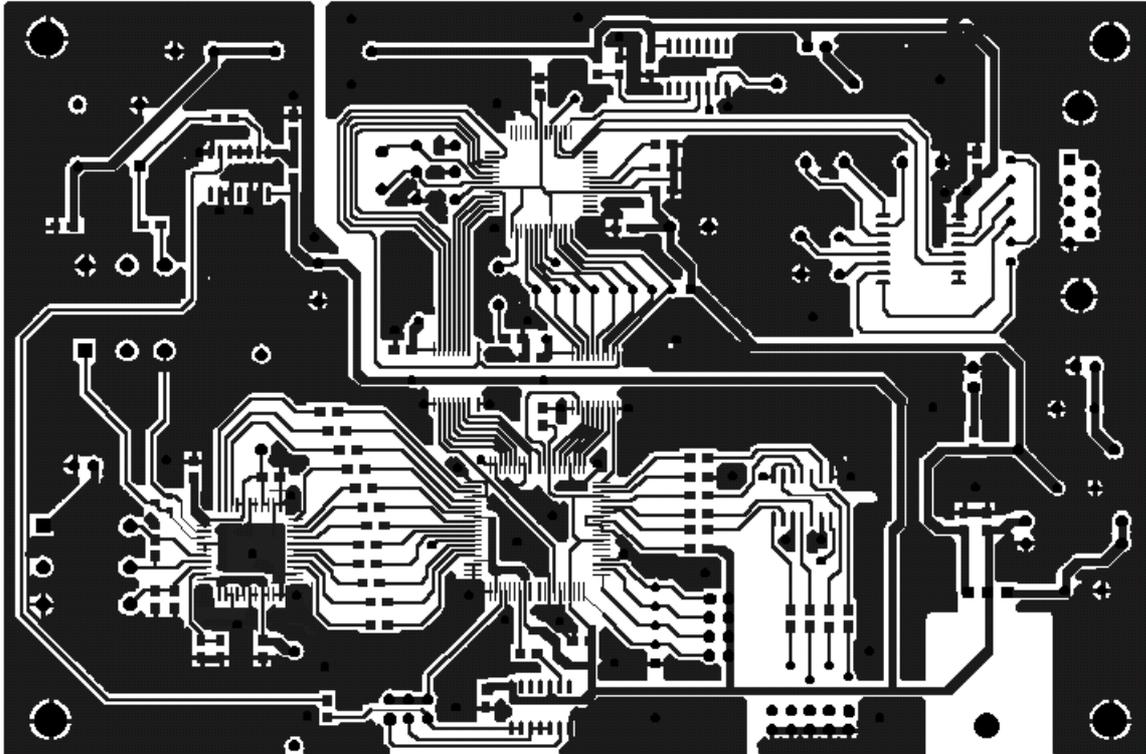
### C. SCHEMA ELETTRICO SCHEDA "RF" (Digital Tuner)



### D. SCHEMA ELETTRICO SCHEDA "BF" (DSP)

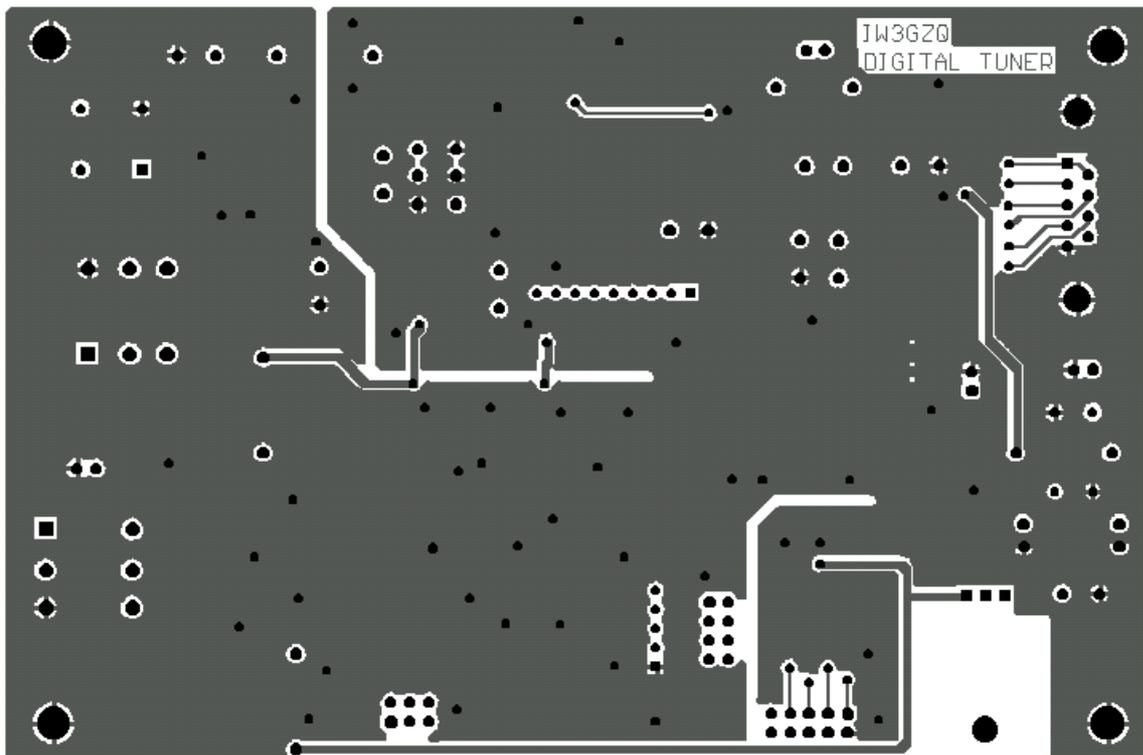


### E. CIRCUITO STAMPATO SCHEDA "RF" (Digital Tuner)



lato componenti

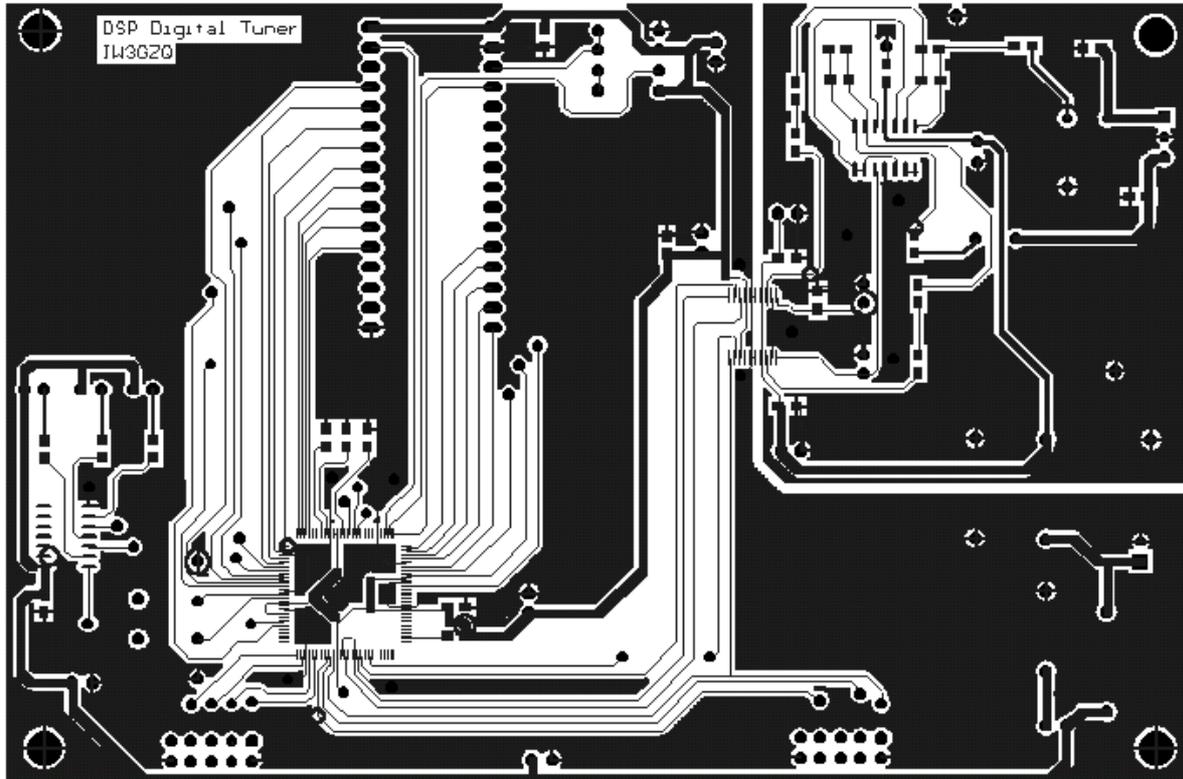
non in scala



lato "saldature"

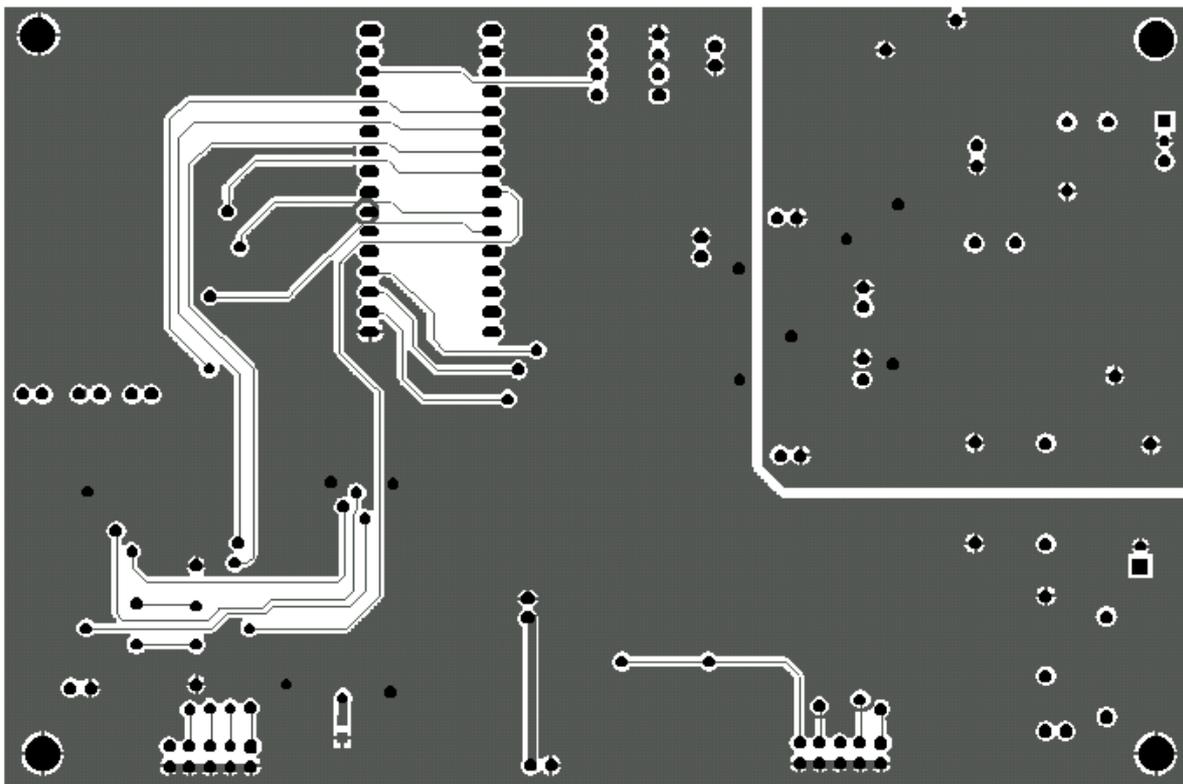
non in scala.

### F. CIRCUITO STAMPATO SCHEDA "BF" (DSP)



lato componenti

non in scala



lato "saldature"

non in scala.

### G. FOTOGRAFIE



foto 1

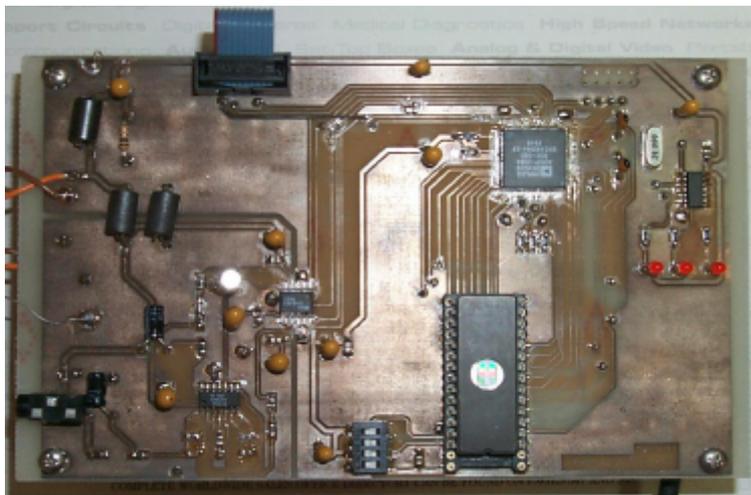


foto 2



foto 3



foto 4

## H. BIBLIOGRAFIA

- [1.] **AD6640, 12-Bit, 65 MSPS IF Sampling A/D Converter**, Analog Devices Data Sheet, 1998 Rev.0
- [2.] **AD9631/AD9632 Ultralow Distortion, Wide Bandwidth Voltage Feedback Op Amps**, Analog Devices, Design-in Reference Manual, 1994, pgg.324-328
- [3.] **AD6620, 65 MSPS Digital Receive Signal Processor**, Analog Devices Data Sheet, 1998, Rev. 0
- [4.] **AD1857/AD1858, Stereo, Single Supply 16-, 18- and 20-Bit Sigma-Delta DACs**, Analog Devices Data Sheet, 1997, Rev.0.
- [5.] **ADSP-2184 DSP Microcomputer**, Analog Devices Data Sheet, 1999, Rev.0.
- [6.] **ADuC812 MicroConverter, Multichannel 12-Bit ADC with Embebbed FLASH MCU**, Analog Devices Data Sheet, 1999, Rev. 0.
- [7.] **AD6644, 14-Bit, 40 MSPS/65 MSPS A/D Converter**, Analog Devices Data Sheet, 2000, Rev. 0
- [8.] **Grounding in High Speed Systems**, Walt Kester, James Bryant, Analog Devices
- [9.] **A Faster and Better ADC for the DDC-Based Receiver**, Peter Traneus Anderson, KC1HR, QEX Sept/Oct 1998, pgg 30-32
- [10.] **CLC5902, Dual Digital Tuner/AGC**, National Semiconductor Data Sheet, May 1999, Rev. 3.05 (<http://www.national.com>)
- [11.] **GC4016 Multi-Standard Quad DDC Chip**, GRAYCHIP Inc. Preliminary Data Sheet, Rev. 0.3, April 2000
- [12.] **HSP50016 Digital Down Converter**, Intersil Inc. Data Sheet, February 1999, File Number 3288.6, (<http://www.intersil.com>)
- [13.] **HSP50216 Four-Channel Programmable Digital DownConverter**, Intersil Inc. Preliminary Data Sheet, February 2000, File No. 4557.2.
- [14.] **An Introduction to Digital Filters**, Intersil Inc. Application Note AN9603.2, January 1999.
- [15.] **A Computer Program for Designing Optimum FIR Linear Phase Digital Filters**, J.H. McClellan, T.W. Parks, L.R. Rabiner, IEEE Transaction on Audio and Electroacoustics, Vol. AU-21, No. 6, December 1973.
- [16.] **Adaptive Noise Cancelling: Principles and Applications**, B. Widrow, J. R. Glover, Proceedings of the IEEE, Vol. 63, NO. 12, December 1975

- [17.] ***Digital Signal Processing, Principles, Algorithms and Applications***, J.G. Proakis, D.G.Manolakis, Prentice Hall, 1996, Third Edition. ISBN 0 – 13 – 373762 – 4
- [18.] ***A Simple Approach to Digital Signal Processing***, C. Marven & G. Ewers, 1993, Texas Instruments. ISBN 0-904 047-00-8
- [19.] ***Signals, Samples and Stuff: A DSP Tutorial (Part1 & Part 2)***, D.Smith, KF6DX/7, QEX Mar/Apr + May/June 1998
- [20.] ***Digital Receiver Handbook***, Rodger H. Hosking, N4RGI, Second Edition, 1998 Pentek Inc. (<http://www.pentek.com>)
- [21.] ***Designing a Super-Heterodyne Multi-Channel Digital Receiver***, Brad Brannon, N4RGI, Analog Devices Inc.
- [22.] ***Designing a Superheterodyne Receiver Using an IF Sampling Diversity Chipset***, Brad Brannon, N4RGI, Analog Devices Application Note AN-502.
- [23.] ***Basics of Designing a Digital Radio Receiver (Radio 101)***, Brad Brannon, N4RGI, Analog Devices Inc.
- [24.] ***Architecture of Data Converters***, James M. Bryant, <http://www.analog.com>
- [25.] ***Performance Specifications for Amateur Receivers of the Future***, Ulrich Graf, DK4SX, QEX May/June 1999, pp. 43-49.
- [26.] ***An All-Digital Automatic Gain Control***, A. Lovrich, R. Chirayil, Texas Instruments, Application Report: SPRA081
- [27.] ***A Different Weaver of SSB Receiver***, P. T. Andersons, KC1HR, QEX September 1993, pp. 3-7.
- [28.] ***A Weaver Method SSB Modulator Using DSP***, C.M. Puig, KJ6ST, QEX September 1993, pp. 8-13.
- [29.] ***Using The Low-Cost, High Performance ADSP-21065L Digital Signal Processor For Digital Audio Applications***, J. Tomarakos, D. Ledger, Analog Devices, Rev. 1.0 – 12/4/1998
- [30.] ***Digital Signal Processing Applications***, Volume 1, Prentice Hall, ISBN 0-13-219726-X, 1992, Analog Devices.
- [31.] ***Digital Signal Processing Applications***, Volume 2, Prentice Hall, ISBN 0-13-178567-2, 1995, Analog Devices.
- [32.] ***ADSP-2100 Family User's Manual***, Prentice Hall, ISBN 0-13-006958-2, 1994, Analog Devices.
- [33.] ***AD8531/AD8532/AD8534, Low Cost, 250 mA Output, Single Supply Amplifiers***, Analog Devices Data-sheet, 1999, Rev. B.